

**8 位 MCU
HR6P72L**

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海海尔集成电路有限公司

2011 年 5 月 5 日

海尔 MCU 芯片使用注意事项

关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入管脚，应通过电阻上拉至电源电平或下拉至地。对于未使用的管脚，建议用户设为输出状态，并通过电阻接至电源或地。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

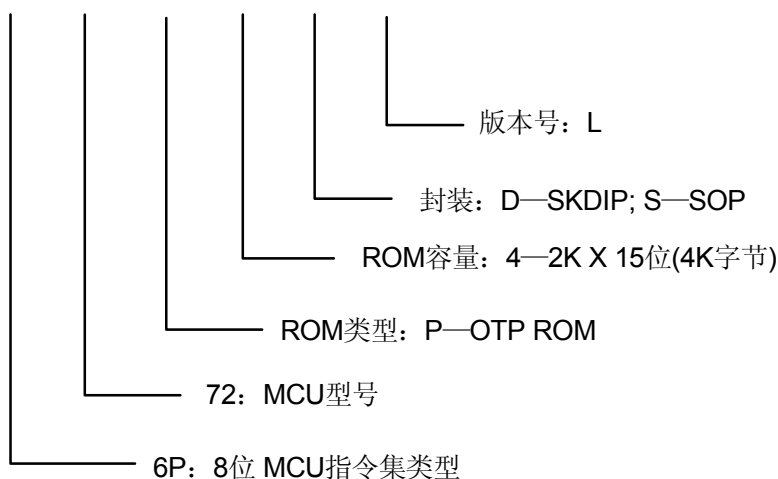
注：在产品开发时，如遇到不清楚的地方，请用下述联系方式与上海海尔集成电路有限公司联系。

产品订购信息

型号	ROM	RAM	封装
HR6P72P4DL	2K×15 位	128×8 位	SKDIP28*
HR6P72P4SL			SOP28

*本文档中的所有 SKDIP28 封装均为 300mil 封装。

HR 6P No. X X X X



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2008-01-09	初版
V2.0	2010-09-28	模板及命名修订
V2.1	2011-05-05	加强描述: 3.2.3, 5.1.4, 6.5.2 错误修正: 2.1, 2.2, 2.5, 4.3, 4.6, 5.1.1.1, 5.1.1.2, 5.1.5, 5.1.2.1, 5.1.2.2, 5.2.2, 5.2.3, 5.3.6, 6.2.3, 6.3.3, 附录 1.2

目 录

内容目录

第 1 章	芯片简介	10
1.1	概述	10
1.2	应用领域	11
1.3	结构框图	12
1.4	管脚分配图	13
1.5	管脚说明	14
1.5.1	管脚封装对照表	14
1.5.2	管脚复用说明	15
第 2 章	内核特性	17
2.1	CPU内核概述	17
2.2	系统时钟和机器周期	17
2.3	指令集概述	17
2.4	程序计数器 (PC) 和硬件堆栈	17
2.4.1	程序计数器 (PC)	17
2.4.2	硬件堆栈	18
2.5	控制寄存器	19
第 3 章	存储资源	21
3.1	程序存储器	21
3.1.1	概述	21
3.1.2	寻址方式	21
3.1.3	程序存储空间地址映射和堆栈示意图	21
3.2	数据存储器	22
3.2.1	数据存储空间地址映射	22
3.2.2	寻址方式	23
3.2.3	控制寄存器空间	25
3.2.4	通用数据存储器	29
第 4 章	输入/输出端口	30
4.1	概述	30
4.2	结构框图	30
4.3	I/O MUX	31
4.4	I/O端口弱上拉	33
4.5	外部中断	33
4.5.1	外部端口中断 (PINT)	33
4.5.2	外部按键中断 (KINT)	33
4.6	控制寄存器	34
第 5 章	外设	35
5.1	定时器/计数器模块 (Timer/Counter)	35
5.1.1	8 位定时器/计数器 (T8)	35
5.1.1.1	概述	35
5.1.1.2	工作模式	35
5.1.1.3	预分频器	36

5.1.1.4	中断标志	36
5.1.2	8位PWM时基定时器 (T8P)	36
5.1.2.1	概述	36
5.1.2.2	工作模式	36
5.1.2.3	预分频器和后分频器	36
5.1.2.4	中断标志	37
5.1.3	16位定时器/计数器 (T16N)	38
5.1.3.1	概述	38
5.1.3.2	工作模式	39
5.1.3.3	振荡器	39
5.1.4	定时器/计数器扩展模块 (TE)	40
5.1.4.1	概述	40
5.1.4.2	T16N捕捉功能扩展	40
5.1.4.3	T16N比较器功能扩展	41
5.1.4.4	T8P脉宽调制功能扩展	42
5.1.5	控制寄存器	44
5.2	模/数转换器模块 (ADC)	47
5.2.1	概述	47
5.2.2	操作说明	47
5.2.3	控制寄存器	48
5.3	通用异步接收/发送器UART	50
5.3.1	概述	50
5.3.2	数据格式	50
5.3.3	UART异步发送器	51
5.3.4	UART异步接收器	52
5.3.5	UART增强模式	53
5.3.5.1	UART的同步应用	53
5.3.6	控制寄存器	54
第 6 章	特殊功能及操作特性	56
6.1	系统时钟及振荡器	56
6.2	复位模块	57
6.2.1	概述	57
6.2.2	应用举例	57
6.2.3	控制寄存器	58
6.3	中断处理	59
6.3.1	概述	59
6.3.2	操作说明	60
6.3.3	控制寄存器	60
6.4	看门狗定时器	64
6.4.1	概述	64
6.5	低功耗操作	65
6.5.1	休眠	65
6.5.2	唤醒	65
6.6	芯片配置字	66

第 7 章	芯片封装图	67
附录 1	指令集	68
附录 1.1	概述	68
附录 1.2	指令操作说明	68
附录 2	电气特性	70
附录 2.1	参数特性表.....	70
附录 2.2	参数特性图.....	73

图目录

图 1-1	HR6P72L结构框图	12
图 1-2	HR6P72L (SKDIP28/SOP28) 顶视图	13
图 3-1	程序区地址映射和堆栈示意图	21
图 3-2	数据区地址映射示意图	22
图 3-3	通用数据存储器地址映射示意图	29
图 4-1	输入/输出端口结构图A	30
图 4-2	输入/输出端口结构图B	30
图 5-1	T8 内部结构图	35
图 5-2	T8P内部结构图	36
图 5-3	T16N内部结构图	38
图 5-4	TE在捕捉功能扩展的内部结构图	40
图 5-5	TE在比较器功能扩展的内部结构图	41
图 5-6	TE在PWM功能扩展的内部结构图	42
图 5-7	PWM输出示意图	42
图 5-8	ADC内部结构图	47
图 5-9	ADC时序特征图	48
图 5-10	UART结构框图	50
图 5-11	UART 8 位数据格式	50
图 5-12	UART 9 位数据格式	50
图 5-13	UART发送器流程图	51
图 5-14	UART接收器流程图	52
图 5-15	UART同步模式 8 位数据格式	53
图 5-16	UART同步模式 9 位数据格式	53
图 6-1	晶体/陶瓷振荡器模式 (HS模式)	56
图 6-2	芯片复位原理图	57
图 6-3	RC复位电路	57
图 6-4	三极管复位电路	58
图 6-5	看门狗定时器示意图	64
图 6-6	休眠模式唤醒示意图	65

表目录

表 1-1	管脚封装对照表	14
表 1-2	管脚说明	16
表 4-1	I/O端口结构信息表	30
表 4-2	I/O端口弱上拉	33
表 4-3	外部端口中断	33
表 4-4	外部按键中断	33
表 6-1	晶体振荡器电容参数参考表	56
表 6-2	中断使能表	59
表 6-3	休眠唤醒表	65

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 48 条精简指令
 - ◇ 工作频率为 DC ~ 16MHz
 - ◇ 8 级 PC 硬件堆栈
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H，支持中断向量表
 - ◇ 支持中断处理，共 10 个中断源
- ◆ 存储资源
 - ◇ 2K x 15 位 OTP ROM 程序存储器
 - ◇ 128 x 8 位数据存储器
 - ◇ 程序存储器支持直接寻址和相对寻址
 - ◇ 数据存储器支持直接寻址和间接寻址
 - ◇ 支持直接、间接和相对寻址
- ◆ I/O 端口
 - ◇ PA 端口 (PA0~PA5)
 - ◇ PB 端口 (PB0~PB7)
 - ◇ PC 端口 (PC0~PC7)
- ◆ 外设
 - ◇ 8 位定时器 T8
 - 定时器模式 (系统时钟) / 计数器模式 (外部信号)
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 8 位 PWM 时基定时器 T8P
 - 定时器模式 (系统时钟)
 - 支持可配置预分频器及可配置后分频器
 - 支持中断产生
 - 支持脉宽调制 (PWM) 输出扩展功能
 - ◇ 16 位定时器 T16N
 - 定时器模式 (系统时钟) / 计数器模式 (外部信号)
 - 支持可配置预分频器
 - 支持中断产生
 - 支持捕捉器扩展功能
 - 支持比较器扩展功能
 - ◇ 通用异步收发器 UART
 - 支持异步全双工收发

- 支持波特率发生器
- 支持 8 位/9 位数据格式
- 支持从最低位接收/发送
- 支持中断产生
- 支持同步主控发送增强模式
- 支持同步主控接收增强模式
- 支持同步从动发送增强模式
- 支持同步从动接收增强模式
- ◇ 模拟数字转换器 ADC
 - 支持 8 位数字转换精度
 - 支持 5 通道模拟输入端
 - 支持中断产生
- ◆ 特殊功能
 - ◇ 支持低功耗休眠模式及唤醒操作
 - ◇ 内嵌上电复位电路
 - ◇ 内嵌低电压检测复位电路
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持编程代码保护
- ◆ 设计及工艺
 - ◇ 完全静态设计
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 28 个管脚，采用 SOP/SKDIP 封装
- ◆ 工作条件
 - ◇ 工作电压范围：3.5V ~ 5.5V
 - ◇ 工作温度范围：-40 ~ 85℃

1.2 应用领域

本芯片可用于白色家电、电能表和汽车电子等领域。

1.3 结构框图

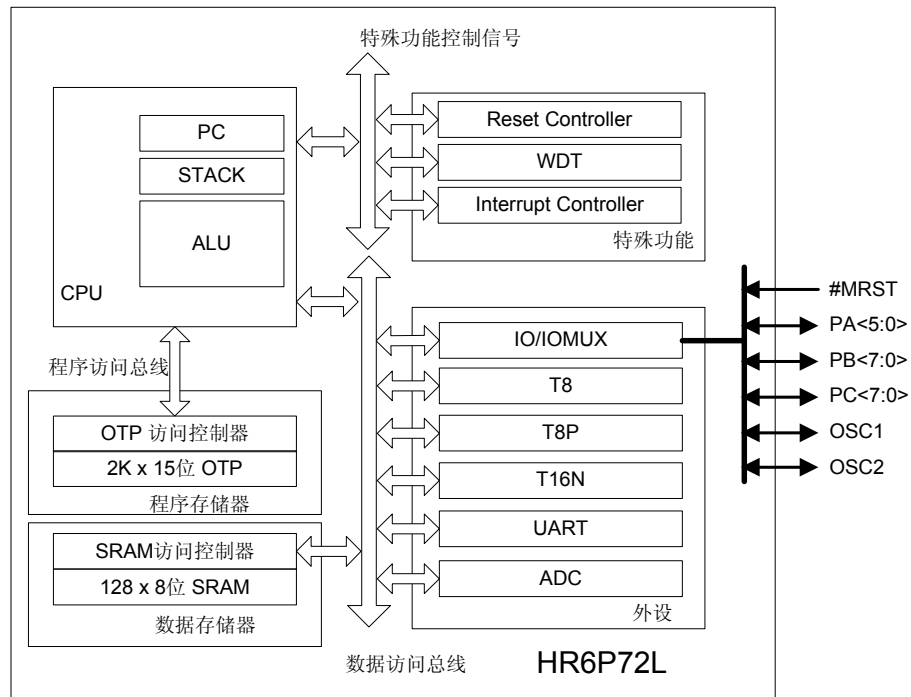


图 1-1 HR6P72L 结构框图

注：#MRST 表示低电平有效。

1.4 管脚分配图



图 1-2 HR6P72L (SKDIP28/SOP28) 顶视图

注：#MRST 表示低电平有效。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	SKDIP28/SOP28
PA0/AN0	2
PA1/AN1	3
PA2/AN2	4
PA3/AN3/VREF	5
PA4/T8CKI	6
PA5/AN4	7
PB0/PINT	21
PB1	22
PB2/KIN0	23
PB3/KIN1	24
PB4/KIN2	25
PB5/KIN3	26
PB6/KIN4	27
PB7/KIN5	28
PC0/T16NOSC2/T16NCKI	11
PC1/T16NOSC1	12
PC2/TECI/TECO/PWM	13
PC3	14
PC4	15
PC5	16
PC6/TX/CK	17
PC7/RX/DT	18
#MRST/VPP	1
OSC1	9
OSC2	10
VDD	20
VSS	8,19

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/AN0	PA0	D	通用 I/O	-
	AN0	A	ADC 模拟通道 0 输入	
PA1/AN1	PA1	D	通用 I/O	-
	AN1	A	ADC 模拟通道 1 输入	
PA2/AN2	PA2	D	通用 I/O	-
	AN2	A	ADC 模拟通道 2 输入	
PA3/AN3/VREF	PA3	D	通用 I/O	-
	AN3	A	ADC 模拟通道 3 输入	
	VREF	A	外部 A/D 参考电平输入	
PA4/T8CKI	PA4	D	通用 I/O	-
	T8CKI	D	T8 时钟输入	
PA5/AN4	PA5	D	通用 I/O	-
	AN4	A	ADC 模拟通道 4 输入	
PB0/PINT	PB0	D	通用 I/O	可启用弱上拉
	PINT	D	外部端口中断 0 输入	
PB1	PB1	D	通用 I/O	可启用弱上拉
PB2/KIN0	PB2	D	通用 I/O	可启用弱上拉
	KIN0	D	外部按键中断输入 0	
PB3/KIN1	PB3	D	通用 I/O	可启用弱上拉
	KIN1	D	外部按键中断输入 1	
PB4/KIN2	PB4	D	通用 I/O	可启用弱上拉
	KIN2	D	外部按键中断输入 2	
PB5/KIN3	PB5	D	通用 I/O	可启用弱上拉
	KIN3	D	外部按键中断输入 3	
PB6/KIN4	PB6	D	通用 I/O	可启用弱上拉
	KIN4	D	外部按键中断输入 4	
PB7/KIN5	PB7	D	通用 I/O	可启用弱上拉
	KIN5	D	外部按键中断输入 5	
PC0/T16NOSC2/T16NCKI	PC0	D	通用 I/O	-
	T16NOSC2	A	T16N 振荡器输出	
	T16NCKI	D	T16N 外部时钟输入	
PC1/T16NOSC1	PC1	D	通用 I/O	-
	T16NOSC1	A	T16N 振荡器输入	
PC2/TECI/TECO/PWM	PC2	D	通用 I/O	-
	TECI	D	TE 捕捉输入	
	TECO	D	TE 比较输出	
	PWM	D	TE 脉宽调制输出	
PC3	PC3	D	通用 I/O	-
PC4	PC4	D	通用 I/O	-

【续】

管脚名	管脚复用	A/D	端口说明	备注
PC5	PC5	D	通用 I/O	-
PC6/TX/CK	PC6	D	通用 I/O	-
	TX	D	UART 异步串行发送输出	
	CK	D	UART 同步串行时钟 I/O	
PC7/RX/DT	PC7	D	通用 I/O	-
	RX	D	UART 异步串行接收输入	
	DT	D	UART 同步串行数据 I/O	
#MRST/VPP	#MRST	D	主复位信号	-
	VPP	A	OTP 编程高压输入	
OSC1	OSC1	A	振荡器输入	-
OSC2	OSC2	A	振荡器输出	-
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A= 模拟, D= 数字;

注 2: #MRST 表示低电平有效;

注 3: 所有通用数据 I/O 均为 TTL 施密特输入和 TTL 输出。

第 2 章 内核特性

2.1 CPU 内核概述

- ◆ 内核特性
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 48 条精简指令，指令长度 15 位
 - ◇ 工作频率为 DC ~ 16MHz
 - ◇ 直接、间接和相对寻址三种寻址方式
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H，支持中断向量表
 - ◇ 支持中断处理，共 10 个中断源

2.2 系统时钟和机器周期

本芯片系统时钟支持最大 16MHz。输入时钟通过片内时钟生成器产生四个不重叠的正交时钟 phase1 (p1)，phase2 (p2)，phase3 (p3) 和 phase4 (p4)。四个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 HR6P 系列 48 条精简指令集系统。所有指令都是单字指令。

除了部分条件跳转与控制流程的指令需要两个机器周期来完成，其它指令的执行都是在一个机器周期中完成。若单片机运行在 4MHz 振荡时钟时，一个机器周期的时间为 1 μ s。

具体指令集可参考《附录 指令集》。

2.4 程序计数器 (PC) 和硬件堆栈

2.4.1 程序计数器 (PC)

本芯片支持 11 位程序计数器 (PC)，可寻址 2K 程序存储空间，地址范围 0000_H ~ 07FF_H，超出地址范围会导致循环。复位后，PC 指向 0000_H。产生中断后，PC 会根据不同的中断向量模式指向相应的中断向量入口地址。

11 位的程序计数器 PC<10:0>，其中 PC<7:0>可通过 PCRL 直接读写，而 PC<10:8>不能直接读写，只能通过对 PCRH<2:0>操作来修改。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 寄存器的内容。

下面是执行各种指令时，PC 值的变化情况：

- ◇ 通过指令直接修改 PC 值时，对 PCRL 的赋值操作可直接修改 PC<7:0>，即 PC<7:0> = PCRL<7:0>；而 PC<10:8> = PCRH<2:0>。因此，修改 PC 值，应先修改 PCRH<2:0>，再修改 PCRL<7:0>；
- ◇ 执行以 PCRL 为目标寄存器的指令时，写入 PCRL 的值为 8 位的运算结果，PC 值的高字节从 PCRH<2:0>寄存器装入；
- ◇ 执行 CALL，LCALL，GOTO 指令时，PC 值由指令中的 11 位立即数（操作数）提供，即分支程序的入口地址值；

◇ 执行其它指令时，PC 值自动加 1。

应用例程：以 PCRL 为目标寄存器的指令应用程序

```
.....  
MOVI    pageaddr  
MOVA    PCRH      ; 设置表格页面地址  
MOVI    tableaddr ; 设置偏移量给 A 寄存器  
CALL    TABLE   ; 调用子程序方式查表  
.....  
TABLE  
ADD     PCRL      ; PC 加上偏移量，指向访问的地址  
RETIA   0X01  
RETIA   0X02  
RETIA   0X03  
.....
```

2.4.2 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或一个中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

2.5 控制寄存器

寄存器名称	选择寄存器 (BSET)		
地址	081 _H 181 _H		
复位值	1111 1111		
PS<2:0>	bit2-0	R/W	T8/WDT 分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
PSA	bit3	R/W	预分频器选择位 0: 预分频器用于 T8 1: 预分频器用于 WDT
T8SE	bit4	R/W	T8 时钟沿选择位 0: T8CKI 外部时钟上升沿计数 1: T8CKI 外部时钟下降沿计数
T8CS	bit5	R/W	T8 时钟源选择位 0: 内部系统时钟 4 分频 Fosc/4 1: T8CKI 外部时钟输入
INTEDG	bit6	R/W	INT 中断信号触发边沿选择位 0: PINT 端口的下降沿触发 1: PINT 端口的上升沿触发
#PBPU	bit7	R/W	PB 口弱上拉控制位 0: 使能 PB 口弱上拉 1: 不使能 PB 口弱上拉

寄存器名称		程序状态字寄存器 (PSW)	
地址	003 _H 083 _H 103 _H 183 _H		
复位值	0001 1xxx		
C	bit0	R/W	全进位和借位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位和借位, 对加/减指令 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
#PD	bit3	R	低功耗标志位 0: 执行 IDLE 指令后被清零 1: 上电复位或执行 CWDT 指令后被置 1
#TO	bit4	R	定时时间到标志位 0: 看门狗定时器溢出被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
RP<1:0>	bit6-5	R/W	寄存器空间选择位 (直接寻址) 00: 选择存储体组 0 (000 _H ~ 07F _H) 01: 选择存储体组 1 (080 _H ~ 0FF _H) 10: 选择存储体组 2 (100 _H ~ 17F _H) 11: 选择存储体组 3 (180 _H ~ 1FF _H)
IRP	bit7	R/W	寄存器空间选择位 (间接寻址) 0: 选择存储体组 0/存储体组 1 (000 _H ~ 0FF _H) 1: 选择存储体组 2/存储体组 3 (100 _H ~ 1FF _H)

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

本芯片的程序存储器为 2K x 15 位 OTP ROM。程序计数器 PC 为 11 位字宽，可寻址 2K 空间，地址范围 0000_H ~ 07FF_H，寻址超出 07FF_H 就会导致循环。复位向量位于 0000_H，中断向量入口地址位于 0004_H、000D_H 和 0021_H。

3.1.2 寻址方式

程序存储器支持直接寻址和相对寻址。

程序指针 PC 通过直接寻址，从程序存储器中获取执行指令。当程序执行相对跳转指令 JUMP 时，程序指针 PC 执行相对寻址。相对寻址范围为 PC+1+I。有符号立即数 I 为相对跳转指令的操作数，即 -128~127。

3.1.3 程序存储空间地址映射和堆栈示意图

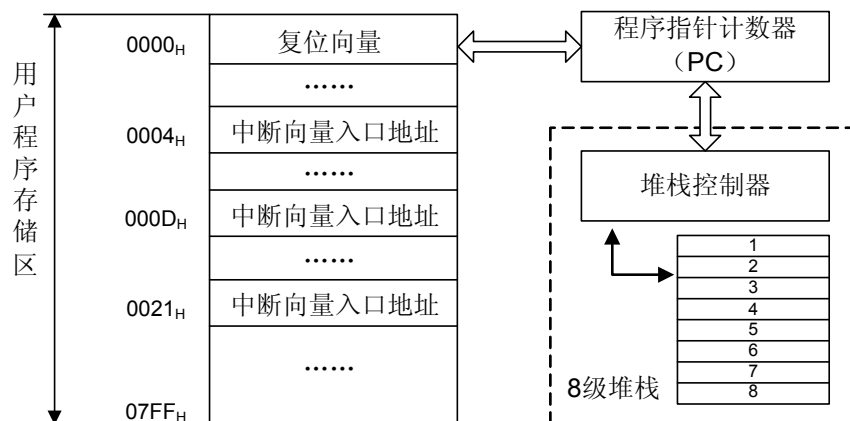


图 3-1 程序区地址映射和堆栈示意图

3.2 数据存储器

3.2.1 数据存储空间地址映射

数据存储器由控制寄存器和通用数据寄存器构成，可分为 4 个存储体组（存储体组 0 ~ 3）。存储体组 0 由控制寄存器空间 0 和通用数据寄存器空间 0 构成，存储体组 1 由控制寄存器空间 1 和通用数据寄存器空间 1 构成，存储体组 2 由控制寄存器空间 2 和通用数据寄存器空间 2 构成，存储体组 3 由控制寄存器空间 3 和通用数据寄存器空间 3 构成。



图 3-2 数据区地址映射示意图

3.2.2 寻址方式

数据存储器的寻址可以采用直接寻址和间接寻址。

直接寻址:

状态寄存器 (PSW) 的 RP<1:0>位为直接寻址的高位地址, 用于在存储体组 0~3 中进行选择; 指令中的操作数为 7 位地址信息, 用于在所选存储体组内直接寻址。

间接寻址:

状态寄存器 (PSW) 的 IRP 位和索引寄存器 (IAA) 的最高位组成间接寻址的高位地址, 用于在存储体组 0~3 中进行选择; IAA 的低 7 位存放低位地址信息,

用于在所选的存储体组内寻址。间接寻址是通过对 IAD 寄存器的读/写来完成的。IAD 寄存器不是一个物理寄存器, 当对 IAD 寄存器进行读/写时, 实际上是访问 IAA 内容所指向的单元, 即 IAA 作为间接寻址的地址寄存器使用, IAD 作为间接寻址的数据存储器使用。若用间接寻址对 IAD 寄存器进行读操作, 返回结果为 00_H; 进行写操作将视为空操作 (可能会影响状态位)。

应用例程: 采用间接寻址将存储体组 0 (020_H ~ 02F_H) 的寄存器清零。

```

.....
BCC   PSW, IRP   ; 选择存储体组 0, 1
MOVI  0X20       ; 对指针初始化
MOVA  IAA        ; IAA 指向 RAM

NEXT1:
CLR   IAD
INC   IAA        ; 指针 IAA 内容加 1
JBS   IAA, 4     ; 到 2FH 完成否?
GOTO  NEXT1     ; 未完成, 循环到下一个单元清零

CONTINUE:
.....

```

应用例程: 采用间接寻址方式把数据 5A_H 写入存储体组 1 中 0B0_H ~ 0B7_H 内。

```

.....
BCC   PSW, IRP   ; 选择存储体组 0, 1
MOVI  0XB0       ; 对指针初始化
MOVA  IAA        ; IAA 指向 RAM

NEXT1:
MOVI  0X5A       ; 对 A 寄存器赋值 5AH
MOVA  IAD        ; 间接寻址赋值

```

INC	IAA	; 指针 IAA 内容加 1
MOVI	0XB8	; 对 A 寄存器赋值 B8 _H
XOR	IAA, 0	; IAA 值与 B8 _H 异或
JBS	PSW, Z	; 判断 IAA 值是否为 B8 _H
GOTO	NEXT1	; IAA 值不是 B8 _H , 继续循环
.....		

3.2.3 控制寄存器空间

控制寄存器主要由控制寄存器空间 0~3 构成，具体控制寄存器空间的分布，请参考下面表格：

控制寄存器空间 0:

地址	寄存器名称	功能说明	备注
00 _H	IAD	间接寻址数据寄存器	-
01 _H	T8	T8 寄存器	-
02 _H	PCRL	低 8 位程序计数器	-
03 _H	PSW	程序状态字寄存器	-
04 _H	IAA	间接寻址地址寄存器	-
05 _H	PA	PA 端口电平状态寄存器	-
06 _H	PB	PB 端口电平状态寄存器	-
07 _H	PC	PC 端口电平状态寄存器	-
08 _H	-	-	-
09 _H	-	-	-
0A _H	PCRH	高 8 位程序计数器	-
0B _H	INTC0	中断控制寄存器 0	-
0C _H	INTF0	中断标志寄存器 0	-
0D _H	-	-	-
0E _H	T16NL	低 8 位 T16N 计数器	-
0F _H	T16NH	高 8 位 T16N 计数器	-
10 _H	T16NC	T16N 控制寄存器	-
11 _H	T8P	T8P 寄存器	-
12 _H	T8PC	T8P 控制寄存器	-
13 _H	-	-	-
14 _H	-	-	-
15 _H	TEL	低 8 位 TE 缓冲寄存器	-
16 _H	TEH	高 8 位 TE 缓冲寄存器	-
17 _H	TEC	TE 控制寄存器	-
18 _H	RXS	UART 接收状态寄存器	-
19 _H	TXR	UART 发送数据寄存器	-
1A _H	RXR	UART 接收数据寄存器	-
1B _H	-	-	-
1C _H	-	-	-
1D _H	-	-	-
1E _H	ADCR	ADC 转换寄存器	-
1F _H	ADCC0	ADC 控制寄存器 0	-

控制寄存器空间 1:

地址	寄存器名称	功能说明	备注
80 _H	IAD	间接寻址数据寄存器	-
81 _H	BSET	选择寄存器	-
82 _H	PCRL	低 8 位程序计数器	-
83 _H	PSW	程序状态字寄存器	-
84 _H	IAA	间接寻址地址寄存器	-
85 _H	PAT	PA 端口输入输出控制寄存器	-
86 _H	PBT	PB 端口输入输出控制寄存器	-
87 _H	PCT	PC 端口输入输出控制寄存器	-
88 _H	-	-	-
89 _H	-	-	-
8A _H	PCRH	高 8 位程序计数器	-
8B _H	INTC0	中断控制寄存器 0	-
8C _H	INTE0	中断使能寄存器 0	-
8D _H	INTE1	中断使能寄存器 1	-
8E _H	PCON	电源控制寄存器	-
8F _H	INTC1	中断控制寄存器 1	-
90 _H	-	-	-
91 _H	-	-	-
92 _H	T8PP	T8P 周期寄存器	-
93 _H	-	-	-
94 _H	-	-	-
95 _H	-	-	-
96 _H	-	-	-
97 _H	-	-	-
98 _H	TXS	UART 发送状态寄存器	-
99 _H	BRR	UART 波特率寄存器	-
9A _H	-	-	-
9B _H	-	-	-
9C _H	-	-	-
9D _H	-	-	-
9E _H	-	-	-
9F _H	ADCC1	ADC 控制寄存器 1	-

控制寄存器空间 2:

地址	寄存器名称	功能说明	备注
100 _H	IAD	间接寻址数据寄存器	-
101 _H	T8	T8 寄存器	-
102 _H	PCRL	低 8 位程序计数器	-
103 _H	PSW	程序状态字寄存器	-
104 _H	IAA	间接寻址地址寄存器	-
105 _H	-	-	-
106 _H	PB	PB 端口电平状态寄存器	-
107 _H	-	-	-
108 _H	-	-	-
109 _H	-	-	-
10A _H	PCRH	高 8 位程序计数器	-
10B _H	INTC0	中断控制寄存器 0	-
10C _H	-	-	-
10D _H	-	-	-
10E _H	-	-	-
10F _H	-	-	-
110 _H	-	-	-
111 _H	-	-	-
112 _H	-	-	-
113 _H	-	-	-
114 _H	-	-	-
115 _H	-	-	-
116 _H	-	-	-
117 _H	-	-	-
118 _H	-	-	-
119 _H	-	-	-
11A _H	-	-	-
11B _H	-	-	-
11C _H	-	-	-
11D _H	-	-	-
11E _H	-	-	-
11F _H	-	-	-

控制寄存器空间 3:

地址	寄存器名称	功能说明	备注
180 _H	IAD	间接寻址数据寄存器	-
181 _H	BSET	选择寄存器	-
182 _H	PCRL	低 8 位程序计数器	-
183 _H	PSW	程序状态字寄存器	-
184 _H	IAA	间接寻址地址寄存器	-
185 _H	-	-	-
186 _H	PBT	PB 端口输入输出控制寄存器	-
187 _H	-	-	-
188 _H	-	-	-
189 _H	-	-	-
18A _H	PCRH	高 8 位程序计数器	-
18B _H	INTC0	中断控制寄存器 0	-
18C _H	-	-	-
18D _H	-	-	-
18E _H	-	-	-
18F _H	-	-	-

3.2.4 通用数据存储器

本芯片的通用数据存储器为 128 x 8 位 SRAM，地址映射到 4 个存储体组中。所在地址范围为 020_H ~ 07F_H（存储体组 0）、0A0_H ~ 0FF_H（存储体组 1）、120_H ~ 17F_H（存储体组 2）、1A0_H ~ 1FF_H（存储体组 3）。其中，0C0_H ~ 0FF_H、1C0_H ~ 1FF_H 的地址空间被映射到与 040_H ~ 07F_H 相同的物理存储空间，120_H ~ 17F_H 的地址空间被映射到与 020_H ~ 07F_H 相同的物理存储空间，1A0_H ~ 1BF_H 的地址空间被映射到与 0A0_H ~ 0BF_H 相同的物理存储空间。通用数据存储器用于指令运行中存放数据或控制信息，其内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

通用数据存储器能够直接寻址，也可通过索引寄存器 IAA 间接寻址。

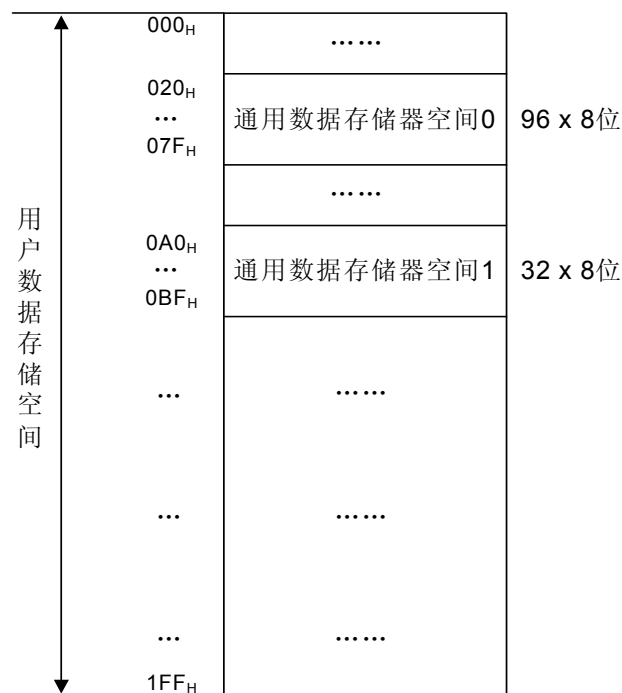


图 3-3 通用数据存储器地址映射示意图

第 4 章 输入/输出端口

4.1 概述

本芯片支持 22 个 I/O 端口。

所有 I/O 端口都是 TTL/SMT 输入和 TTL 输出驱动器。每个端口都有相应的控制寄存器 PxT 来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》和《I/O MUX》章节。

4.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	A	A	A	A	A	-	-	-
PB	B	B	B	B	B	B	B	B	-
PC	A	A	A	A	A	A	A	A	-

表 4-1 I/O 端口结构信息表

注：A 表示端口结构图 A，B 表示端口结构图 B。两种结构图如下。

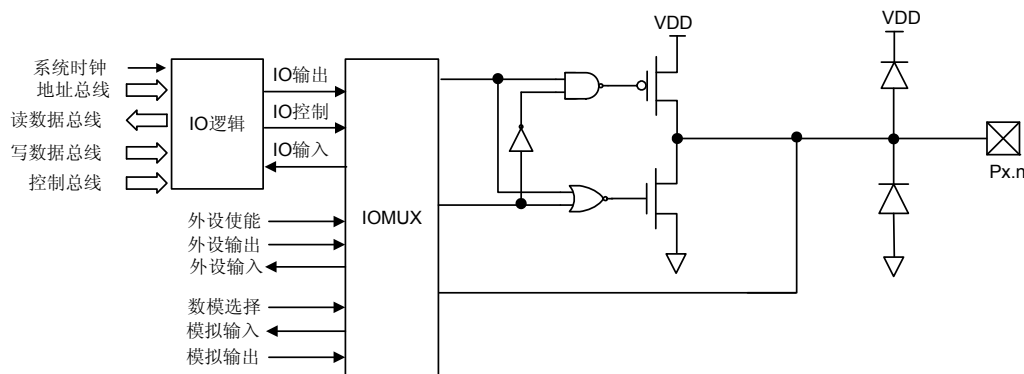


图 4-1 输入/输出端口结构图 A

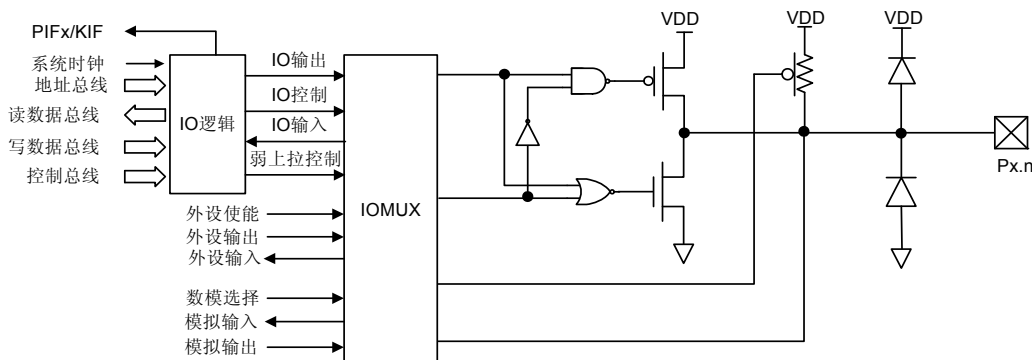


图 4-2 输入/输出端口结构图 B

4.3 I/O MUX

管脚名	管脚复用	PAT	外设使能	备注
PA0	PA0	-	-	-
	AN0	1	PCFG<2:0>=0xx/x0x	-
PA1	PA1	-	-	-
	AN1	1	PCFG<2:0>=0xx/x0x	-
PA2	PA2	-	-	-
	AN2	1	PCFG<2:0>=0xx	-
PA3	PA3	-	-	-
	AN3	1	PCFG<2:0>=000/010/100	-
	VREF	1	PCFG<2:0>=001/011/101	-
PA4	PA4	-	-	-
	T8CKI	1	T8CS=1	-
PA5	PA5	-	-	-
	AN4	1	PCFG<2:0>=0xx	-

管脚名	管脚复用	PBT	外设使能	备注
PB0	PB0	-	-	-
	PINT0	1	PIE=1	-
PB1	PB1	-	-	-
PB2	PB2	-	-	-
	KIN0		KIE=1, KINS=1	-
PB3	PB3	-	-	-
	KIN1		KIE=1, KINS=1	-
PB4	PB4	-	-	-
	KIN2	1	KIE=1	-
PB5	PB5	-	-	-
	KIN3	1	KIE=1	-
PB6	PB6	-	-	-
	KIN4	1	KIE=1	-
PB7	PB7	-	-	-
	KIN5	1	KIE=1	-

管脚名	管脚复用	PCT	外设使能	备注
PC0	PC0	-	-	-
	T16NOSC2	-	T16NOSCEN=1	-
	T16CKI	1	T16NCS=1	-
PC1	PC1	-	-	-
	T16NOSC1	-	T16NOSCEN=1	-
PC2	PC2	-	-	-
	TE1CI	1	TE1M=01xx	-
	TE1CO	0	TE1M=100x	-
	PWM	0	TE1M=11xx	-
PC3	PC3	-	-	-
PC4	PC4	-	-	-
PC5	PC5	-	-	-
PC6	PC6	-	-	-
	TX	0	SPEN=1 SYNC=0	-
	CK	-	SPEN=1 SYNC=1	-
PC7	PC7	-	-	-
	RX	1	SPEN=1 SYNC=0	-
	DT	-	SPEN=1 SYNC=1	-

4.4 I/O端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	不支持	不支持	不支持	不支持	不支持	不支持	-	-
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	不支持	不支持	不支持	不支持	不支持	不支持	不支持	不支持

表 4-2 I/O 端口弱上拉

4.5 外部中断

4.5.1 外部端口中断 (PINT)

PB<0>支持一个外部端口中断。端口中断由相应的 PIE 使能，通过 INTEDG 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	触发选择	中断标志
PB0	PINT	PIE	PINT	INTEDG	PIF

表 4-3 外部端口中断

4.5.2 外部按键中断 (KINT)

当 PB 设定为输入时，PB<7:4>/PB<7:2>端口电平变化可以产生按键中断，按键中断支持最多 6 个按键输入端 KINT<5:0>，当 KINS=0 时，支持 4 个按键输入端 KIN<3:0>（即 PB<7:4>）；当 KINS=1 时，支持 6 个按键输入端 KIN<5:0>（即 PB<7:2>）。按键中断由 KIE 使能，中断产生将影响相应的中断标志 KIF。

管脚名	中断名	按键屏蔽	端口输入	高四/六位选择	中断标志
PB2	KINT	KIE	KIN0	KINS	KIF
PB3			KIN1	KINS	
PB4			KIN2	-	
PB5			KIN3	-	
PB6			KIN4	-	
PB7			KIN5	-	

表 4-4 外部按键中断

4.6 控制寄存器

寄存器名称		端口电平状态寄存器 (PA/PB/PC)	
地址	PA: 005 _H PB: 006 _H 106 _H PC: 007 _H		
复位值	xxxx xxxx		
Px<7:0>	bit7-0	R/W	Px 口电平状态 0: 低电平 1: 高电平

寄存器名称		端口输入输出控制寄存器 (PAT/PBT/PCT)	
地址	PAT: 085 _H PBT: 086 _H 186 _H PCT: 087 _H		
复位值	1111 1111		
PxT<7:0>	bit7-0	R/W	Px 口输入输出状态 0: 输出状态 1: 输入状态

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8)、1 组 PWM 时基定时器 (T8P) 和 1 组 16 位定时器 (T16N)。此外, 还包含 1 组定时器扩展模块 (TE)。

5.1.1 8 位定时器/计数器 (T8)

5.1.1.1 概述

- 支持系统时钟 4 分频和外部时钟
- 支持定时器模式和计数器模式
- 支持 1 组可配置预分频器
- 支持 1 组计数器, 可以对系统时钟 4 分频/预分频输出进行计数或对外部时钟边沿进行计数
- 休眠模式下不可用
- 支持溢出中断

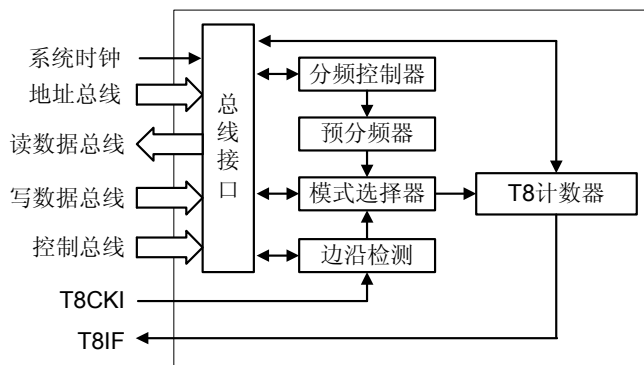


图 5-1 T8 内部结构图

5.1.1.2 工作模式

T8 通过 T8CS 位 (BSET<5>) 的设置来选择工作模式。

设置 T8CS 为 0, T8 为定时器模式, 使用系统时钟 4 分频。在不使用预分频器的情况下, T8 寄存器的递增周期为一个机器周期, 即 $F_{osc}/4$ 。当使用预分频器时, T8 寄存器的递增周期为预分频器的输出信号周期。

设置 T8CS 为 1, T8 为计数器模式, 使用外部时钟。时钟信号是从 T8CKI 端口输入, 通过 T8SE 位 (BSET<4>) 的设置来选择对外部时钟的上升沿或下降沿计数。当 T8SE 位为 0 时, 选择上升沿计数; T8SE 位为 1 时, 选择下降沿计数。T8 寄存器在外部时钟的上升沿或下降沿递增。通过内部相位时钟 p2 和 p4 采样, 来实现 T8CKI 与内部相位时钟的同步。因此, T8CKI 保持高电平或者低电平时间至少 4 个时钟周期。

5.1.1.3 预分频器

通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 T8。当预分频器分配给 T8 时, 任何对 T8 寄存器的操作都会把预分频器的计数值清零, 但不改变预分频器的分频比。预分频器的计数值无法读写, 分频比可由 PS<2:0> (BSET<2:0>) 来配置。

5.1.1.4 中断标志

T8 提供了一个溢出中断标志。当 T8 寄存器递增计数, 计数值由 FF_H 变为 00_H 时, T8 寄存器发生溢出, T8IF 位 (INTC0<2>) 置 1, 如果 T8IE 位 (INTC0<5>) 使能, 则产生 T8 溢出中断。如果 T8IE 不使能, 则屏蔽这个中断。在重新使能这个中断之前, 为了避免误触发中断, T8IF 位必须软件清零。在 CPU 进入休眠模式后, 该中断将不再响应。

5.1.2 8 位 PWM 时基定时器 (T8P)

5.1.2.1 概述

- 支持系统时钟 4 分频
- 支持定时器模式
- 支持 1 组可配置预分频器和 1 组可配置后分频器
- 支持 1 组计数器, 可以对系统时钟 4 分频/预分频输出进行计数
- 支持 1 组周期寄存器, 存放计数周期
- 计数器同周期寄存器比较, 当匹配时, 可产生匹配中断, 并清零计数器
- 通过定时器/计数器扩展模块, 支持 PWM 输出功能

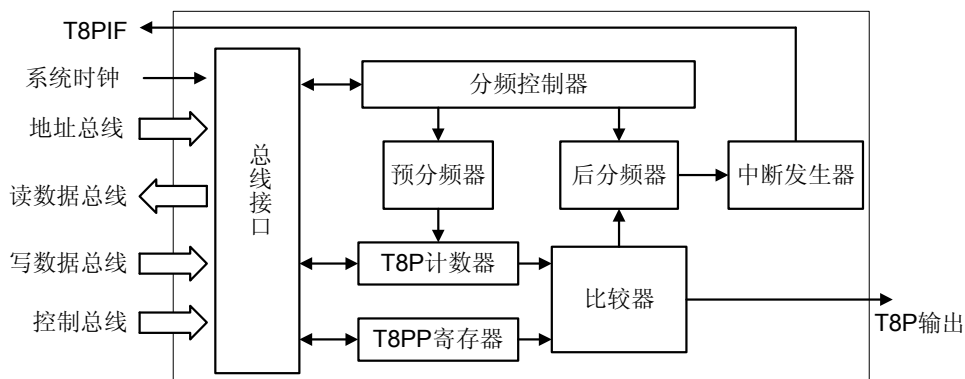


图 5-2 T8P 内部结构图

注: T8PP 为 T8P 周期寄存器。

5.1.2.2 工作模式

T8P 支持定时器模式, 使用系统时钟 4 分频。通过定时器/计数器扩展模块, 可以实现 PWM 输出, 具体可参考《T8P 脉宽调制功能扩展》章节。

5.1.2.3 预分频器和后分频器

T8P 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器的计数值无法读写, 分频比可由 CKPS<1:0> (T8PC<1:0>) 来配置。后分频器的计数

值也无法读写，分频比可由 TOUTPS<3:0> (T8PC<6:3>) 来配置。修改 T8P 的控制寄存器或计数器都会把预分频器和后分频器清零。

5.1.2.4 中断标志

T8P 支持 1 组周期寄存器和 1 组计数器，都可以由用户配置。当 T8P 计数器的计数值递增到与周期寄存器的值相等时，产生一次匹配信号。后分频器会对这一匹配信号进行计数，当满足后分频器的设定值时，T8PIF 置 1，如果 T8PIE 使能，则产生 T8P 中断，如果 T8PIE 不使能，则屏蔽该中断。在重新使能这个中断之前，为了避免误触发中断，T8PIF 位必须软件清零。在 CPU 进入休眠模式后，该中断将不再响应。

应用例程：设置 T8P 定时器选择预分频为 1:4，后分频为 1:1。

```

.....
BSS      PSW, RP0
BCC      PSW, RP1      ; 选择存储体组 1
MOVI     0X30
MOVA     T8PP          ; 设置 T8P 定时器的周期
MOVI     0X05
BCC      PSW, RP0
MOVA     T8PC          ; 设置预分频和后分频
.....
    
```

5.1.3 16 位定时器/计数器 (T16N)

5.1.3.1 概述

- 支持系统时钟 4 分频和外部时钟
- 支持定时器模式和计数器模式
- 支持同步计数模式和异步计数模式
- 支持 2 组计数器 (T16NL 和 T16NH)，可以对系统时钟 4 分频/预分频输出进行计数或对外部时钟边沿进行计数
- 支持可配置预分频器
- 支持溢出中断。异步计数模式，休眠模式下，中断可唤醒 CPU
- 通过定时器/计数器扩展模块，支持捕捉功能
- 通过定时器/计数器扩展模块，支持比较器功能

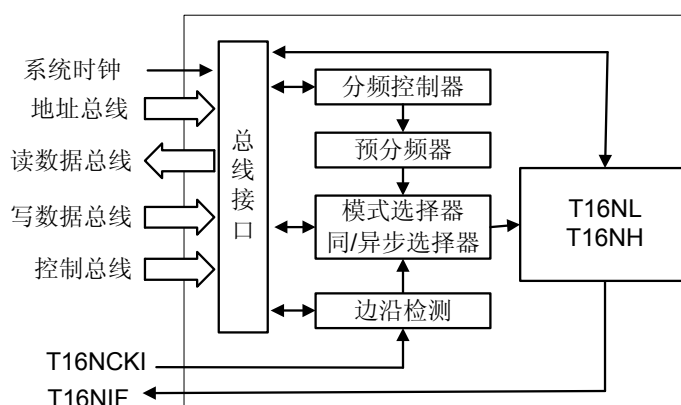


图 5-3 T16N 内部结构图

5.1.3.2 工作模式

T16N 通过 T16NCS (T16NC<1>) 的设置来选择工作模式。在计数模式时, 通过 T16NSYNC (T16NC<2>) 设置来选择同步计数模式或异步计数模式。

1. T16N 定时器模式

当 T16NCS = 0 时, T16N 工作在定时器方式, 此时 T16N 的时钟信号是系统时钟 4 分频。

注: 若要给 T16NL 寄存器赋值 FF_H, 必须关闭 T16N。

2. T16N 同步计数器模式

当 T16NCS = 1, T16NSYNC = 0 时, T16N 工作在同步计数方式下。因为外部时钟需要与系统时钟 4 分频 p4 同步, 所以外部时钟必须满足一定的要求。当预分频比是 1:1 时, 外部时钟的输入与预分频器的输出相同, 所以要求 T16NIO 端口上输入脉冲信号的高或低电平时间至少保持 4Tosc (一个机器周期)。

T16N 在同步计数器方式时, 如果单片机进入了休眠模式, 虽然外部的时钟输入仍在工作, 但因为时钟同步模块也进入休眠模式, 所以 T16N 无法工作。

注: 同步计数模式下, 外部时钟输入高电平/低电平要大于 1 个机器周期, 小于 1 个机器周期的脉冲可能会丢失。

3. T16N 异步计数器模式

当 T16NCS = 1, T16NSYNC = 1 时, T16N 工作在异步计数方式下。T16N 异步计数器在休眠期间继续工作并在溢出时产生中断, 并且这个中断能够唤醒 CPU。

4. T16N 扩展功能

通过定时器/计数器扩展模块, T16N 可以支持捕捉功能和比较器两种扩展功能, 具体可参考《T16N 捕捉功能扩展》和《T16N 比较器功能扩展》章节。

5.1.3.3 振荡器

T16N 用作计数器模式 (同步或异步) 时, T16N 不能使用振荡器。

使能 T16N 振荡器时, T16NOSC1 和 T16NOSC2 可外接 32KHz ~ 100KHz 振荡器。

注: T16N 振荡器关闭时 (T16NOSCEN 为 0), 振荡器反馈电阻被关断。

5.1.4 定时器/计数器扩展模块 (TE)

5.1.4.1 概述

HR6P72L 包含 1 组 TE 模块 (TE)。

TE 支持 3 种功能扩展模式：T16N 捕捉功能扩展、T16N 比较器功能扩展和 T8P 脉宽调制功能扩展，通过设置 TEM<3:0>选择相应的扩展模式。

注：1 组 TE 不能同时设置多个功能扩展。

5.1.4.2 T16N捕捉功能扩展

当 TE 设置成捕捉功能扩展时，T16N 与 TE 一起对 TECI 端口进行实时监测。T16N 作为计数器，TE 作为捕捉器。当 TECI 端口的状态变化符合捕捉条件时，TE 将 T16N 的计数值捕捉到 TE 寄存器 (TEH:TEL) 中，并产生 TE 中断 (即将 TEIF 置 1)。

TE 支持 4 种捕捉条件：捕捉每 1 个下降沿脉冲，捕捉每 1 个上升沿脉冲，捕捉每 4 个上升沿脉冲以及捕捉每 16 个上升沿脉冲。

当选择了捕捉条件，同时也选择了相应的预分频器设置。预分频计数器，在禁止 TE 模块或改变 TE 工作模块时，都会被清零。修改捕捉预分频的分频比时，此时预分频计数器不会被清零。因此，首次捕捉可以从一个非零预分频计数器开始。当捕捉条件满足时，产生的中断标志位必须由软件清除，而捕捉到的 TE 寄存器的值如果没有被及时读取，那么在下一次捕捉条件满足时，新的捕捉值会覆盖原来的值。

在初始化 TECI 端口时，必须将相应的 TECI 端口所在的管脚设置成输入状态。在初始化 T16N 时，必须将其设置成定时器模式或者同步计数模式。

TE 模式改变时，也许会导致错误中断产生。因此为了避免产生错误中断，用户在改变模式时应该保持 TEIE 为 0，并且将标志位 TEIF 清零。

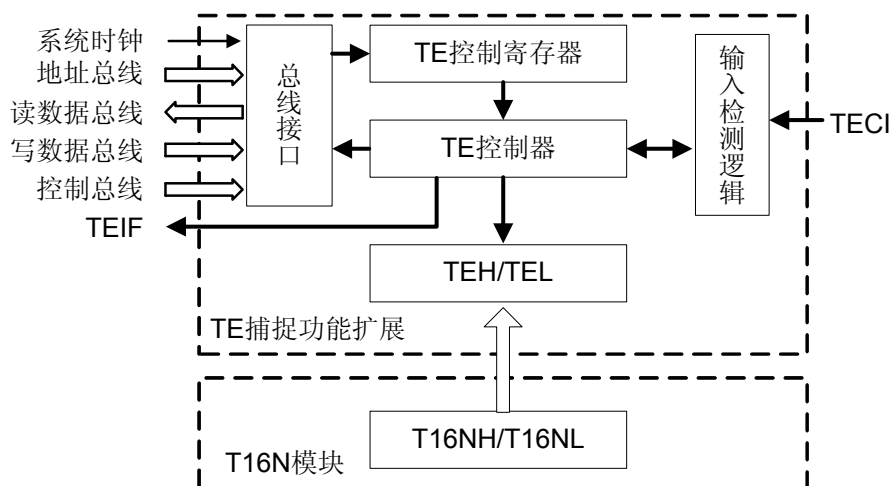


图 5-4 TE 在捕捉功能扩展的内部结构图

5.1.4.3 T16N比较器功能扩展

当 TE 设置成比较功能扩展时，T16N 与 TE 一起实现比较器功能。T16N 作为计数器进行递增计数，TE 存放比较内容。当 T16N 中的计数值与 TE 寄存器（TEH:TEL）中存放的比较内容相同时，TE 产生比较匹配，并执行相应的比较匹配事件，及 TE 中断（即：将 TEIF 置 1）。

比较匹配事件可由 TEC 寄存器中的 TEM<3:0>位设置，支持以下几种事件：

- TECO 端口输出高电平
- TECO 端口输出低电平
- TECO 端口输出保持不变
- 特殊事件触发

在初始化 TECO 端口时，必须将相应的 TECO 端口所在的管脚设置成输出状态。

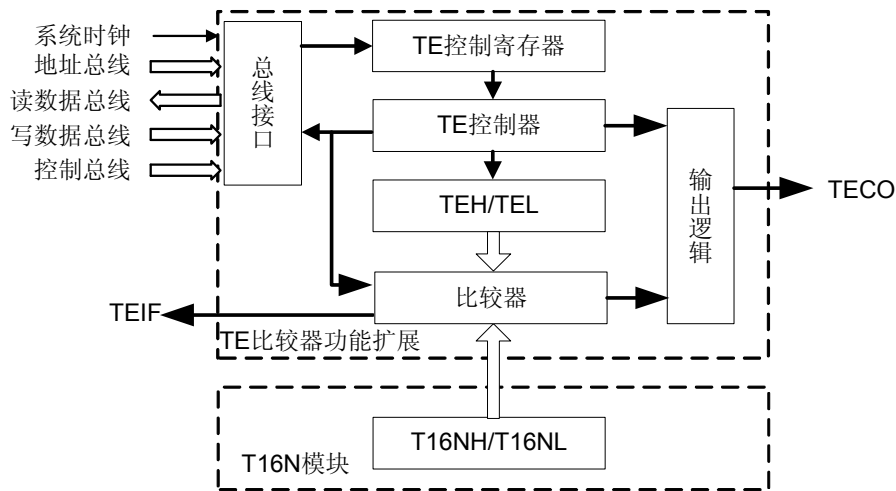


图 5-5 TE 在比较器功能扩展的内部结构图

5.1.4.4 T8P脉宽调制功能扩展

当 TE 设置成 PWM 功能扩展时，PWM 端口可产生 10 位分辨率的 PWM 输出。

在初始化 PWM 端口时，必须将相应的 PWM 端口所在的管脚设置成输出状态。

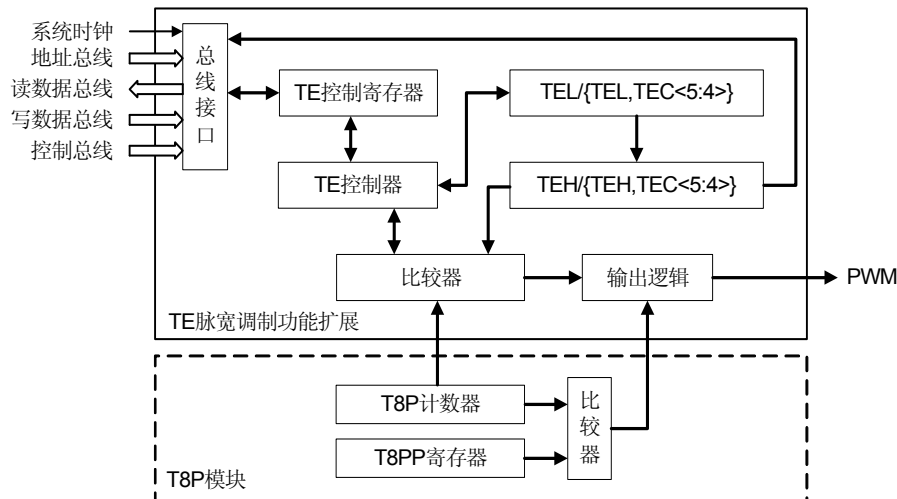


图 5-6 TE 在 PWM 功能扩展的内部结构图

对于 PWM 输出，波形如下图所示：

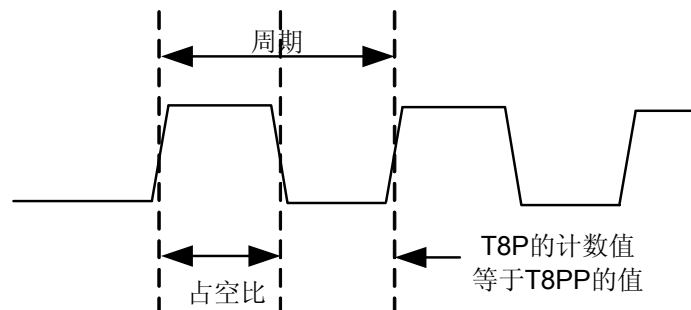


图 5-7 PWM 输出示意图

PWM 的周期由 PWM 时基定时器 T8P 提供。T8P 从 0 开始递增计数，当计数值等于 T8PP 时，完成了 PWM 的计数周期。满足计数周期时，将会进行如下操作：TE 端口被置 1（但如果 PWM 的占空比为 0%，TE 端口将不会置 1）；PWM 占空比从 TEL 被锁存到 TEH；T8P 被清零。

PWM 占空比由写入 TEL 寄存器和 TEC<5:4>位的值来决定。TEL:TEC<5:4>在任何时候都是可写的，但是占空比值要到 T8PP 与 T8P 相等后才锁存到 TEH（即周期完成）。如果 PWM 占空比值比 PWM 周期要长，TE 端口将不会清零。在 PWM 方式下，TEH 是一个只读寄存器。

对 TEC 寄存器清零将会强迫 PWM 输出锁存器为低电平，而不是 I/O 端口的输出电平值。

PWM 公式如下：

$$\text{PWM 周期} = [(T8PP)+1] \times 4 \times T_{osc} \times (T8P \text{ 分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 占空比} = (\text{TEL}:\text{TEC}<5:4>) \times T_{osc} \times (T8P \text{ 分频比})$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

F_{CKPS} 是 T8P 预分频器的分频比。

注：占空比是指在一个 PWM 周期内高电平的持续宽度（脉宽）。

应用例程：对 PWM 的运行进行设定可产生周期为 256μs，占空比为 50%脉冲波形

（主时钟采用 4MHz）

```

.....
MOVI    0XFF          ; 将 0XFF 送至 A
BSS     PSW, RP0
BCC     PSW, RP1
MOVA    T8PP          ; 设置 PWM 周期
BCC     PCT, 2        ; 设置 PC2 为输出口
BCC     PSW, RP0
MOVI    0X80          ; 设置 PWM 占空比
MOVA    TEL
MOVI    0X0C
MOVA    T8PC
MOVI    0X0C          ; 设置为 PWM 方式
MOVA    TEC
.....
    
```

5.1.5 控制寄存器

寄存器名称		T8 寄存器(T8)	
地址	001 _H 101 _H		
复位值	XXXX XXXX		
T8<7:0>	bit7-0	R/W	T8 计数器 00 _H ~ FF _H

寄存器名称		T8P 寄存器(T8P)	
地址	011 _H		
复位值	0000 0000		
T8P<7:0>	bit7-0	R/W	T8P 计数器 00 _H ~ FF _H

寄存器名称		T8P 控制寄存器(T8PC)	
地址	012 _H		
复位值	0000 0000		
T8PCKPS<1:0>	bit1-0	R/W	T8P 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PON	bit2	R/W	T8P 使能位 0: 关闭 T8P 1: 使能 T8P
TOUTPS<3:0>	bit6-3	R/W	T8P 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
-	bit7	-	-

寄存器名称		T8P 周期寄存器(T8PP)	
地址	092 _H		
复位值	1111 1111		
T8PP<7:0>	bit7-0	R/W	T8P 周期寄存器 00 _H ~ FF _H

寄存器名称		低 8 位 T16N 计数器(T16NL)	
地址		00E _H	
复位值		XXXX XXXX	
T16NL<7:0>	bit7-0	R/W	T16N 低 8 位计数器 00 _H ~ FF _H

寄存器名称		高 8 位 T16N 计数器(T16NH)	
地址		00F _H	
复位值		XXXX XXXX	
T16NH<7:0>	bit7-0	R/W	T16N 高 8 位计数器 00 _H ~ FF _H

寄存器名称		T16N 控制寄存器(T16NC)	
地址		010 _H	
复位值		0000 0000	
T16NON	bit0	R/W	T16N 使能位 0: 关闭 T16N 1: 打开 T16N
T16NCS	bit1	R/W	T16N 时钟源选择位 0: 工作于定时方式（用系统时钟 4 分频） 1: 对 T16NIO1 端口（上升沿）输入的外部时钟信号计数
T16NSYNC	bit2	R/W	T16N 外部时钟输入同步控制位 0: T16NCS = 1: 与外部时钟输入同步 T16NCS = 0: T16N 工作于定时器方式下，未用此位 1: T16NCS = 1: 不与外部时钟输入同步 T16NCS = 0: T16N 工作于定时器方式下，未用此位
T16NOSCEN	bit3	R/W	T16N 振荡器使能 0: 不使能 T16N 振荡器 1: 使能 T16N 振荡器
T16NCKPS<1:0>	bit5-4	R/W	T16N 输入预分频选择位 00 = 1:1 01 = 1:2 10 = 1:4 11 = 1:8
-	bit7-6	-	-

寄存器名称		低 8 位 TE 缓冲寄存器 (TEL)	
地址		015 _H	
复位值		XXXX XXXX	
TEL<7:0>	bit7-0	R/W	TE 缓冲寄存器低 8 位 00 _H ~ FF _H

寄存器名称		高 8 位 TE 缓冲寄存器 (TEH)	
地址		016 _H	
复位值		XXXX XXXX	
TEH<7:0>	bit7-0	R/W	TE 缓冲寄存器高 8 位 00 _H ~ FF _H

寄存器名称		TE 控制寄存器(TEC)	
地址		017 _H	
复位值		0000 0000	
TEM<3:0>	bit3-0	R/W	TE 工作方式选择位 0000 = 关闭 TE 模块 (即 TE 复位) 0100 = 捕捉每 1 个脉冲下降沿 (捕捉功能扩展) 0101 = 捕捉每 1 个脉冲上升沿 (捕捉功能扩展) 0110 = 捕捉每 4 个脉冲上升沿 (捕捉功能扩展) 0111 = 捕捉每 16 个脉冲上升沿 (捕捉功能扩展) 1000 = 匹配时输出 1 (比较器功能扩展) 1001 = 匹配时输出 0 (比较器功能扩展) 1010 = 匹配时产生软件中断 (比较器功能扩展, TEIF =1, TE 端口不受影响) 1011 = 触发特别事件 (TE 清零 T16N, TE 端口没影响, 如果 ADC 使能, 能启动 ADC 转换) 11xx = PWM 功能扩展
PWMY-PWMX	bit5-4	R/W	PWM 方式: 在 10 位分辨率时, 存放最低 2 位数据; 在 8 位分辨率时, 这两位保持为零。 00 ~11
-	bit7-6	-	-

5.2 模/数转换器模块 (ADC)

5.2.1 概述

本芯片带有 8 位 A/D 转换模块，此模块能将一个模拟信号转换成相对应的 8 位数字信号。HR6P72L 有 5 个 A/D 通道模拟输入端。

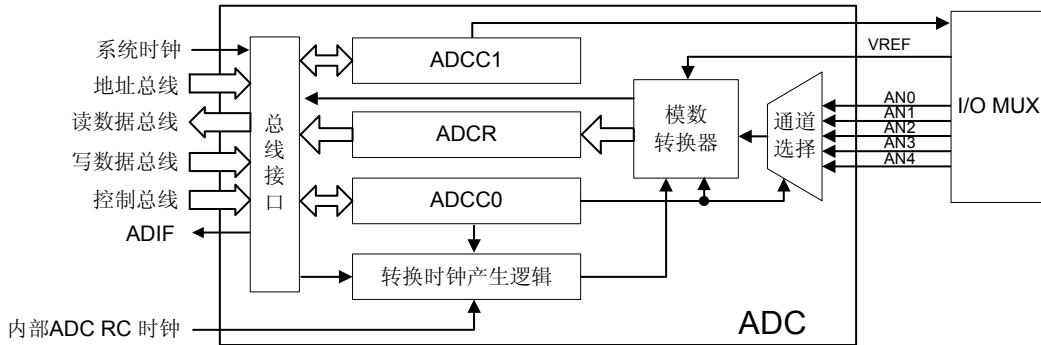


图 5-8 ADC 内部结构图

5.2.2 操作说明

以下通过 A/D 转换的程序和 ADC 时序特征图来说明 ADC 的操作步骤。

应用例程：A/D 转换程序

```

.....
BCC   PSW, RP1
BSS   PSW, RP0           ; 选择存储体组 1
CLR   ADCC1             ; 设置 A/D 通道模拟输入
BSS   INTE0, ADIE       ; 使能 A/D 中断
BCC   PSW, RP0           ; 选择存储体组 0
MOVI  0X01              ; 打开 A/D 转换器，选中通道 0
MOVA  ADCC0             ; PA0 作为 A/D 输入
BCC   INTF0, ADIF       ; 清 A/D 中断标志
BSS   INTC0, PEIE       ; 使能外围功能部件中断
BSS   INTC0, GIE        ; 使能总中断
; 为了确保所需要的采样时间，延时一段时间后才能启动 A/D 转换
BSS   ADCC0, GO
.....
    
```

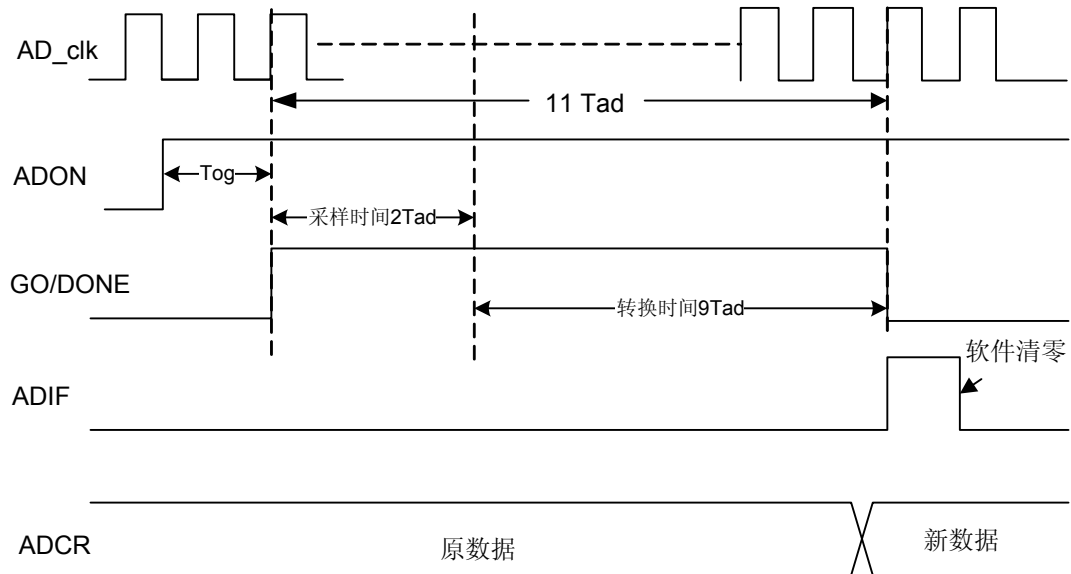


图 5-9 ADC 时序特征图

注 1: T_{ad} 为 ADC 时钟周期;
注 2: T_{og} 为 A/D 转换使能--启动等待时间, 必须大于等于 0。

5.2.3 控制寄存器

寄存器名称	ADC 转换寄存器 (ADCR)		
地址	01E _H		
复位值	XXXX XXXX		
ADCR<7:0>	bit7-0	R/W	转换结果 00 _H ~ FF _H

寄存器名称		ADCC0 寄存器	
地址	01F _H		
复位值	0000 0000		
ADON	bit0	R/W	A/D 转换使能位 0: 关闭 A/D 转换器 1: 运行 A/D 转换器
-	bit1	-	-
GO/DONE	bit2	R/W	A/D 转换状态位 0: A/D 未进行转换, 或 A/D 转换已完成 1: A/D 转换正在进行, 该位置 1 启动 A/D 转换
CHS<2:0>	bit5-3	R/W	A/D 模拟通道选择位 000 = 通道 0 (AN0) 001 = 通道 1 (AN1) 010 = 通道 2 (AN2) 011 = 通道 3 (AN3) 100 = 通道 4 (AN4) 101 = 未用 110 = 未用 111 = 未用
ADCS<1:0>	bit7-6	R/W	ADC 时钟选择位 00 = Fosc/2 01 = Fosc/8 10 = Fosc/32 11 = RC 时钟 (250KHz)

寄存器名称		ADCC1 寄存器	
地址	09F _H		
复位值	0000 0000		
ANSE<2:0>	bit2-0	R/W	端口模拟数字选择位, 详细情况请见下表
-	bit7-3	-	-

ANSE<2:0>	PA5	PA3	PA2	PA1	PA0	VREF
000	A	A	A	A	A	VDD
001	A	VREF	A	A	A	PA3
010	A	A	A	A	A	VDD
011	A	VREF	A	A	A	PA3
100	D	A	D	A	A	VDD
101	D	VREF	D	A	A	PA3
110	D	D	D	D	D	VDD
111	D	D	D	D	D	VDD

5.3 通用异步接收/发送器UART

5.3.1 概述

UART 通用异步接收/发送器是兼容 RS-232/RS-442/RS-485 的通讯接口。支持全/半双工模式。UART 结构框图如下：

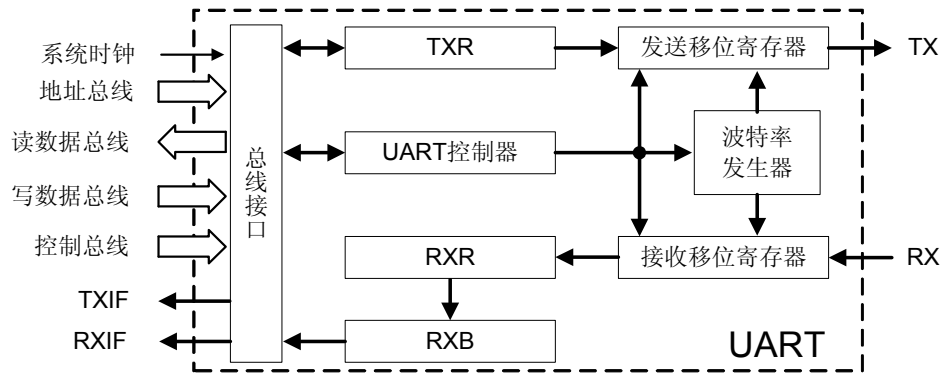


图 5-10 UART 结构框图

5.3.2 数据格式

UART 模块每帧数据由 1 位起始位，8 位/9 位数据位和 1 位停止位组成。在没有数据发送/接收时，管脚处于高电平状态。发送 8 位/9 位数据可以通过 TX9 设置，接收 8 位/9 位数据可以通过 RX9 设置。

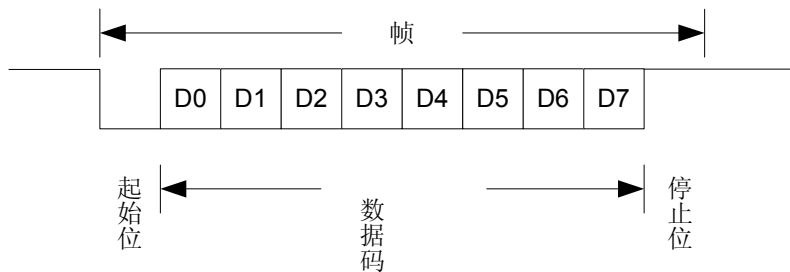


图 5-11 UART 8 位数据格式

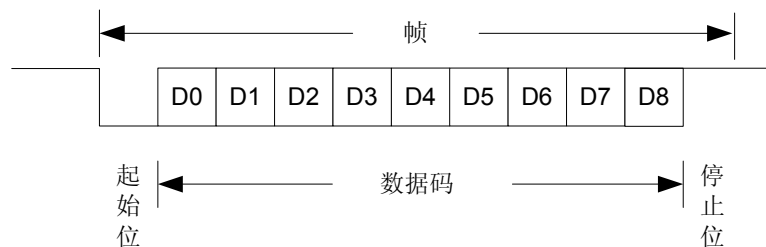


图 5-12 UART 9 位数据格式

5.3.3 UART异步发送器

异步发送器发送数据时，起始位 **Start** 和结束位 **Stop** 由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 **TXR** 和 **TX9D** 内，就能实现异步发送，异步发送器还可以实现数据连续发送。操作流程图如下：

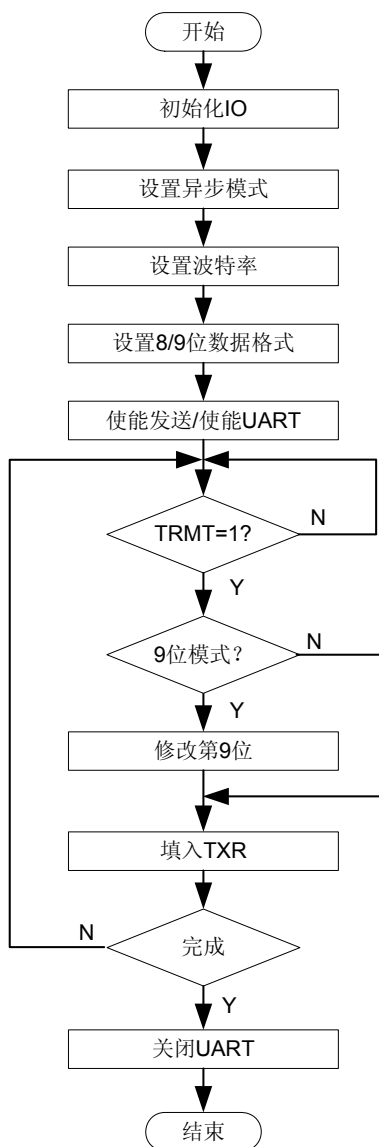


图 5-13 UART 发送器流程图

5.3.4 UART异步接收器

异步接收器接收数据时，用户可以查询 RXIF 中断标志位，来判断是否收到完整的一帧数据，并通过读取 RXR 和 RX9D 获得数据。芯片内部提供 2 级 9 位 FIFO 作为 RXR，若用户在第三个数据接收完毕前，未读取 RXR，则溢出标志位 OERR 将置 1。FERR 在用户未接收到结束位 Stop 时置 1。操作流程图如下：

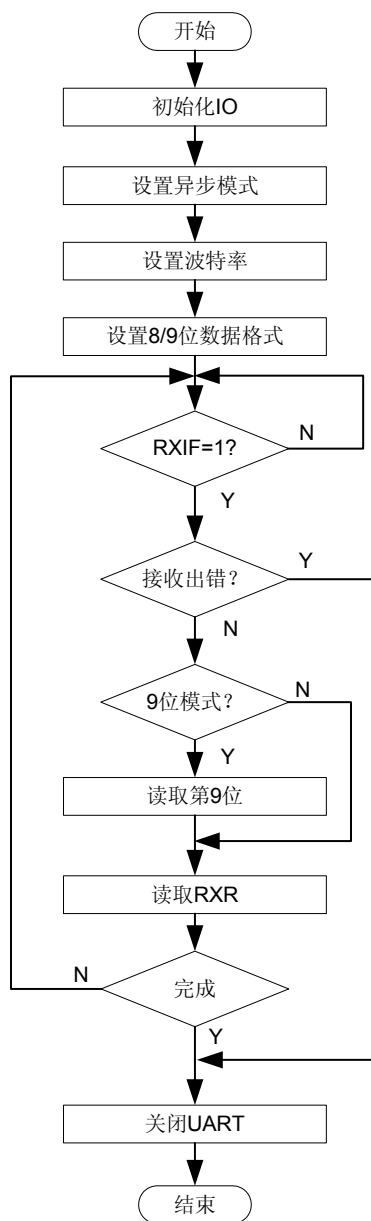


图 5-14 UART 接收器流程图

5.3.5 UART增强模式

5.3.5.1 UART的同步应用

UART 支持异步接收/发送器外，还支持 4 种同步模式应用：

- 主控发送模式
- 主控接收模式
- 从动发送模式
- 从动接收模式

同步模式时，UART 通过 CK 端口发送/接收时钟同步信号，并通过 DT 端口接收/发送数据。此时，每帧数据没有起始位和停止位。主控发送/接收时，CK 时钟同步信号由 UART 发送，而从动发送/接收时，UART 接收 CK 端口的时钟同步信号。

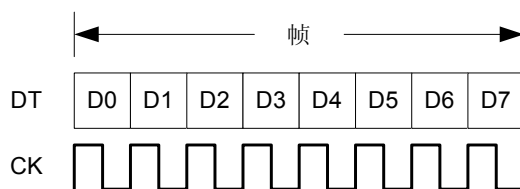


图 5-15 UART 同步模式 8 位数据格式



图 5-16 UART 同步模式 9 位数据格式

5.3.6 控制寄存器

寄存器名称		UART 发送状态寄存器 (TXS)	
地址	098 _H		
复位值	0000 0010		
TX9D	bit0	R/W	第 9 位发送数据 0: 第 9 位数据为 0 1: 第 9 位数据为 1
TRMT	bit1	R	发送移位寄存器 (TSR) 空标志位 0: TSR 不空 1: TSR 空
BRGH	bit2	R/W	波特率选择位 异步模式 (同步模式无效) 0: 低速波特率 1: 高速波特率
-	bit3	-	-
SYNC	bit4	R/W	同步/异步选择位 0: 异步模式 1: 同步模式
TXEN	bit5	R/W	发送器使能位 0: 禁止 1: 使能
TX9	bit6	R/W	发送数据格式选择位 0: 8 位数据格式 1: 9 位数据格式
CSRC	bit7	R/W	主控/从动选择位 (异步无效, 置 0) 0: 从动模式 1: 主控模式

寄存器名称		UART 接收状态寄存器 (RXS)	
地址	018 _H		
复位值	0000 000x		
RX9D	bit0	R	第 9 位接收数据 0: 第 9 位数据为 0 1: 第 9 位数据为 1
OERR	bit1	R	接收溢出标志位 0: 无溢出错误 1: 有溢出错误 (设置 RXCON = 00 可将此位清除)
FERR	bit2	R	帧格式错标志位 0: 无帧格式错误 1: 帧格式错 (读 RXR, 该位被刷新)
-	bit3	-	-
RXCON<1:0>	bit5-4	R/W	接收器控制 00: 关闭接收器 x1: 连续接收 10: 单字节接收 (同步主控模式, 接收完成后, 必须再设置才能继续收)
RX9	bit6	R/W	接收数据格式选择位 0: 8 位数据格式 1: 9 位数据格式
SPEN	bit7	R/W	端口设置位 0: 禁止串行口 1: 使能串行口 (PC7 和 PC6 设置为串行口端口)

寄存器名称		UART 波特率寄存器 (BRR)	
地址	099 _H		
复位值	0000 0000		
BRR<7:0>	bit7-0	R/W	UART 波特率设置 00 _H ~ FF _H

注: UART 波特率计算公式如下:

SYNC = 0, BRGH = 0 时: $F_{osc} / (64 (BRR<7:0>+1))$

SYNC = 0, BRGH = 1 时: $F_{osc} / (16 (BRR<7:0>+1))$

SYNC = 1, BRGH = 0 时: $F_{osc} / (4 (BRR<7:0>+1))$

第 6 章 特殊功能及操作特性

6.1 系统时钟及振荡器

HR6P72L 只支持 HS 振荡器模式。

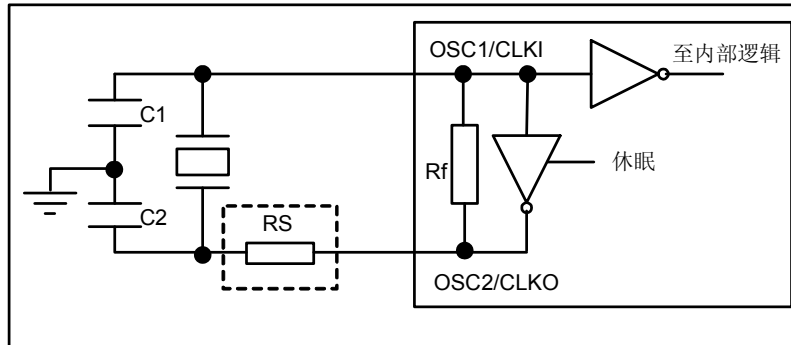


图 6-1 晶体/陶瓷振荡器模式 (HS 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
HS	8MHz	15 ~ 33pF	15 ~ 33pF
	16MHz	15pF	15pF

表 6-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

6.2 复位模块

6.2.1 概述

本芯片有四种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口#MRST 复位（低电平有效）
- ◇ 看门狗定时器 WDT 溢出复位

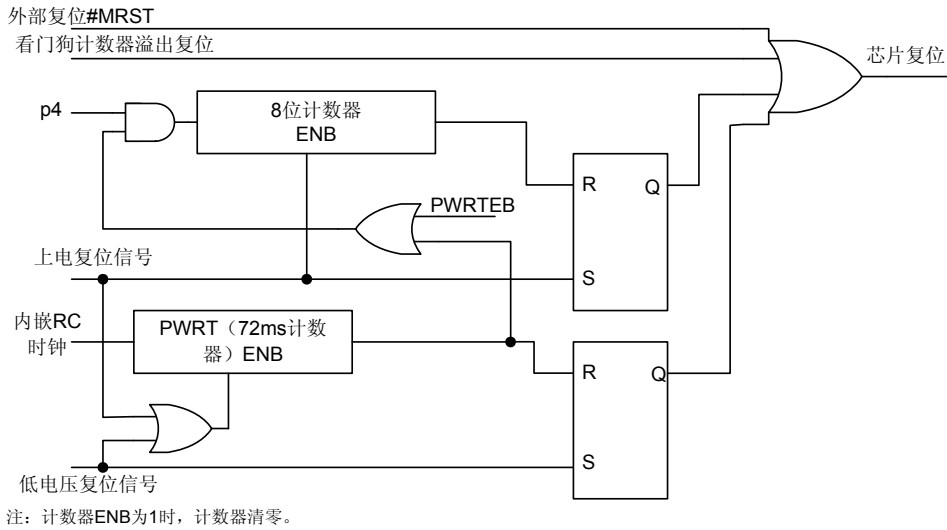


图 6-2 芯片复位原理图

6.2.2 应用举例

- ◇ 应用举例一

采用下图所示的复位电路，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

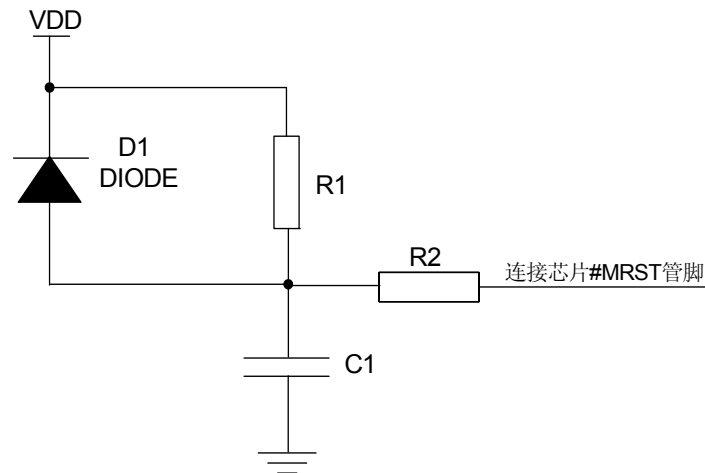


图 6-3 RC 复位电路

◇ 应用举例二

采用 PNP 三极管的复位电路，如下图所示，通过 R1 (2KΩ) 和 R2 (10KΩ) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20KΩ) 接地，另一路通过 R4 (1KΩ) 和 C1 (0.1μF) 接地，C1 另一端作为 #MRST 输入。

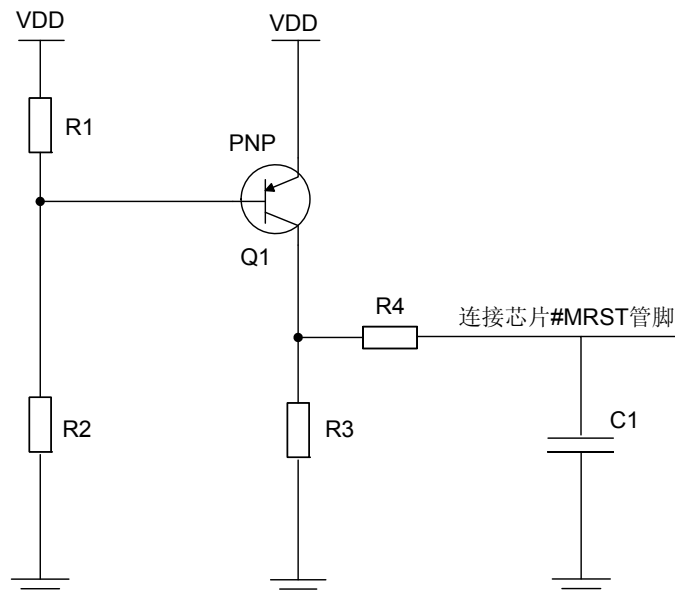


图 6-4 三极管复位电路

6.2.3 控制寄存器

寄存器名称		电源控制寄存器 (PCON)	
地址	8E _H		
复位值	0000 0000		
#BOR	bit0	R/W	低电压检测复位状态位 0: 低电压检测复位发生 (低电压检测复位后, 必须用软件置位) 1: 无低电压检测复位发生
#POR	bit1	R/W	上电复位状态位 0: 上电复位发生 (上电复位后, 必须用软件置位) 1: 无上电复位发生
-	bit7-2	-	-

6.3 中断处理

6.3.1 概述

本芯片支持硬件中断，共 10 个中断源，其中断向量入口位于 0004_H、000D_H 和 0021_H。每个中断源都有各自的中断使能位和中断标志位。

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	-
2	KINT	KIF	KIE	-	GIE	KIN4 和 KIN5 需使能输入屏蔽位 KINS
3	PINT	PIF	PIE	-	GIE	-
4	T8INT	T8IF	T8IE	-	GIE	-
5	T8PINT	T8PIF	T8PIE	PEIE	GIE	-
6	T16NINT	T16NIF	T16NIE	PEIE	GIE	-
7	ADINT	ADIF	ADIE	PEIE	GIE	-
8	TXINT	TXIF	TXIE	PEIE	GIE	-
9	RXINT	RXIF	RXIE	PEIE	GIE	-
10	TE1INT	TE1IF	TE1IE	PEIE	GIE	-

表 6-2 中断使能表

6.3.2 操作说明

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先设定当前中断的优先级，然后清除中断标志位，再使能当前中断。若使能前不先清除中断标志则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。由于指令系统中没有 PUSH（压栈）和 POP（出栈）指令，所以只能用其它指令实现数据保存。通常需要保存的数据包括：工作寄存器 A，状态寄存器 PSW 和需要保存的用户数据存储器的数据。

6.3.3 控制寄存器

寄存器名称	中断控制寄存器 0 (INTC0)		
地址	00B _H 08B _H 10B _H 18B _H		
复位值	0000 000x		
KIF	bit0	R/W	外部按键中断标志位 0: 外部按键端口无电平变化 1: 外部按键端口有电平变化（必须用软件清零）
PIF	bit1	R/W	PB0/PINT 中断标志位 0: PB0/PINT 端口上无电平变化 1: PB0/PINT 端口上有中断信号（必须用软件清零）
T8IF	bit2	R/W	T8 溢出中断标志位 0: T8 计数未溢出 1: T8 计数溢出（必须用软件清零）
KIE	bit3	R/W	外部按键中断使能位 0: 禁止外部按键中断 1: 使能外部按键中断
PIE	bit4	R/W	PB0/PINT 中断使能位 0: 禁止 PB0/PINT 外部端口中断 1: 使能 PB0/PINT 外部端口中断
T8IE	bit5	R/W	T8 溢出中断使能位 0: 禁止 T8 中断 1: 使能 T8 中断
PEIE	bit6	R/W	外围中断使能位 0: 禁止外围接口中断 1: 使能未屏蔽的外围接口中断
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

寄存器名称		中断使能寄存器 0 (INTE0)	
地址	08C _H		
复位值	0000 0000		
T16NIE	bit0	R/W	T16N 中断使能位 0: 禁止 T16N 中断 1: 使能 T16N 中断
T8PIE	bit1	R/W	T8P 中断使能位 0: 禁止 T8P 中断 1: 使能 T8P 中断
TEIE	bit2	R/W	TE1 中断使能位 0: 禁止 TE 中断 1: 使能 TE 中断
-	bit3	-	-
TXIE	bit4	R/W	UART 发送中断使能位 0: 禁止 UART 发送中断 1: 使能 UART 发送中断
RXIE	bit5	R	UART 接收中断使能位 0: 禁止 UART 接收中断 1: 使能 UART 接收中断
ADIE	bit6	R/W	ADC 中断使能位 0: 禁止 ADC 中断 1: 使能 ADC 中断
-	bit7	-	-

寄存器名称		中断标志寄存器 0 (INTF0)	
地址		00C _H	
复位值		0000 0000	
T16NIF	bit0	R/W	T16N 中断标志位 0: T16N 计数器计数未发生溢出 1: T16N 计数器计数溢出 (必须软件清零)
T8PIF	bit1	R/W	T8P 中断标志位 0: T8P 计数器计数未发生溢出 1: T8P 计数器计数溢出 (必须软件清零)
TEIF	bit2	R/W	TE 中断标志位 0: 捕捉模式: 未发生捕捉中断 比较模式: 未发生比较中断 PWM 模式: 未用 1: 捕捉模式: 发生捕捉中断, 必须软件清零 比较模式: 发生比较中断 PWM 模式: 未用
-	bit3	-	-
TXIF	bit4	R	UART 发送中断标志位 0: 发送缓冲区满 (发送未完成) 1: 发送缓冲区空 (发送完成), 写 TXR 清零
RXIF	bit5	R	UART 接收中断标志位 0: 接收缓冲区空 (接收未完成) 1: 接收缓冲区满 (接收完成), 读 RXR 清零
ADIF	bit6	R/W	ADC 中断标志位 0: 正在进行 A/D 转换 1: A/D 转换已完成 (必须用软件清零)
-	bit7	-	-

寄存器名称		中断使能寄存器 1 (INTE1)	
地址		08D _H	
复位值		0000 0000	
-	bit6-0	-	-
KINS	bit7	R/W	PB 端口高四/六位中断选择 0: 选择 PB 端口高四位按键中断 1: 选择 PB 端口高六位按键中断

寄存器名称				中断向量控制寄存器 (INTC1)			
地址		08F _H					
复位值		0000 0000					
INTV<1:0>	bit1-0	R/W	中断向量表选择位, 说明如下表				
-	bit2	-	-				
SOFTIF	bit3	R/W	软中断标志位 0: 无软中断 1: 有软中断				
INTVEN	bit4	R/W	中断向量表及软中断使能位 0: 中断向量表及软中断不使能, 中断入口地址位于 0004 _H 1: 中断向量表及软中断使能				
-	bit7-5	-	-				

中断向量分配表

位值 向量	00	01	10	11
0004 _H	软中断 外部端口中断 外部按键中断	软中断 外部端口中断	软中断 UART 接收中断 UART 发送中断	软中断 T8 中断 T16N 中断 T8P 中断 TE1 中断 AD 中断
000D _H	T8 中断 T16N 中断 T8P 中断 TE1 中断 AD 中断	T8 中断 T16N 中断 T8P 中断 TE1 中断 AD 中断 外部按键中断	外部端口中断 外部按键中断	UART 接收中断 UART 发送中断
0021 _H	UART 接收中断 UART 发送中断	UART 接收中断 UART 发送中断	T8 中断 T16N 中断 T8P 中断 TE1 中断 AD 中断	外部端口中断 外部按键中断

6.4 看门狗定时器

6.4.1 概述

当芯片配置字选择使能 WDTEN（配置字 CONFIG<2>）时，看门狗开始工作，为了防止看门狗超时溢出引起不必要的芯片复位，必须在程序用 CWDT 指令对 WDT 计数器定时清零；芯片配置字选择不使能 WDTEN 时，看门狗定时器停止工作。

没有预分频时，WDT 复位周期约为 18ms。

下图为 WDT 功能示意图，内部 RC 时钟正常工作条件下约为 13KHz。

具体可参考《附录 参数特性图》章节的相关图示。

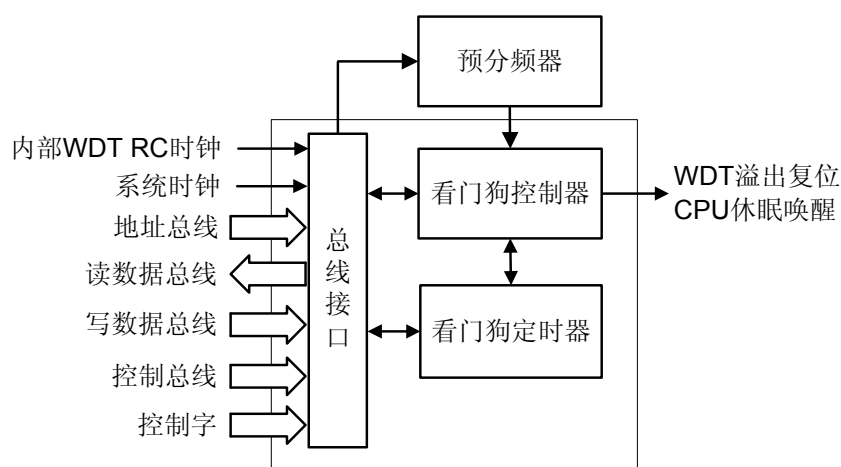


图 6-5 看门狗定时器示意图

6.5 低功耗操作

6.5.1 休眠

通过执行一条指令 IDLE，即可进入休眠状态。进入休眠状态之后：

- ◇ 外部振荡器停振
- ◇ 所有 I/O 端口将保持进入 IDLE 前的状态

在休眠模式下，为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。**#MRST** 管脚必须处于逻辑高电平。

6.5.2 唤醒

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	外设使能	备注
1	#MRST	-	-	外部复位
2	WDT	-	-	WDT 溢出
3	KINT	KIE	-	KIN4 和 KIN5 需使能输入屏蔽位 KINS
4	PINT0	PIE0	-	-
5	T16NINT	T16NIE	PEIE	异步计数模式
6	ADINT	ADIE	PEIE	A/D 时钟源为 RC 振荡器
7	RXINT	RXIE	PEIE	UART 同步从动接收模式
8	TXINT	TXIE	PEIE	UART 同步从动发送模式

表 6-3 休眠唤醒表

芯片从休眠模式唤醒，需要注意以下两点：

- 1、中断唤醒与全局中断使能无关。在休眠模式下，若外设产生中断信号，即使全局中断使能 GIE 为 0，休眠模式依然会被唤醒，只是唤醒后不会执行中断程序。
- 2、当唤醒事件发生后，芯片需要在主时钟运行 1024 个周期后才执行 IDLE 下一条指令。

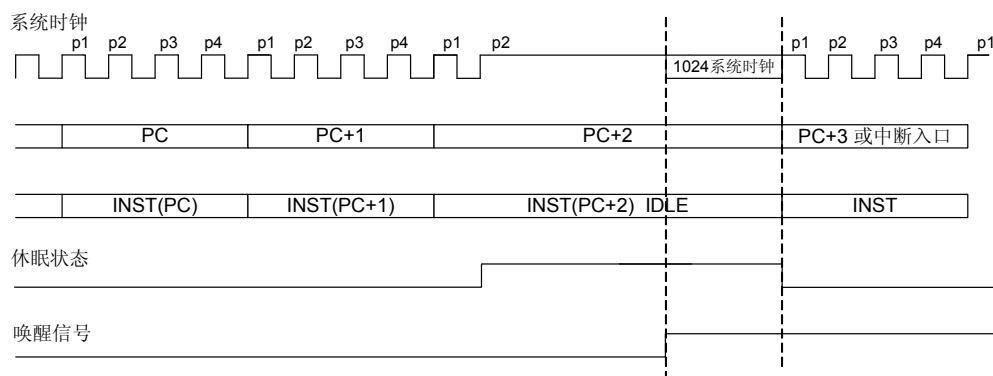


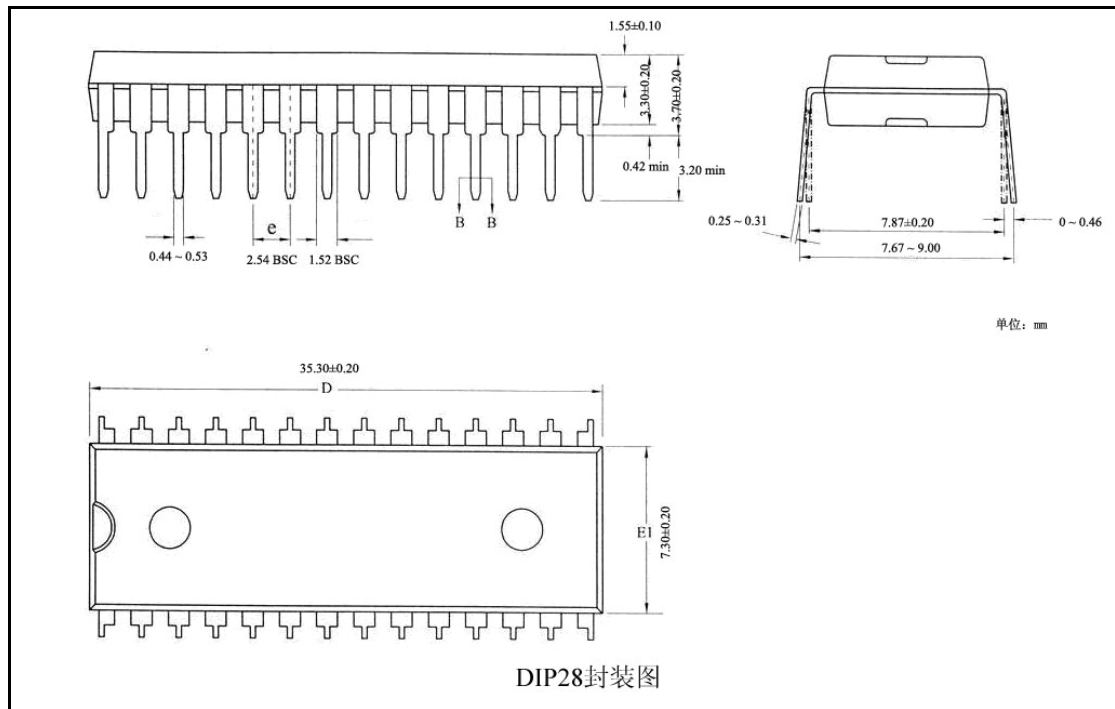
图 6-6 休眠模式唤醒示意图

6.6 芯片配置字

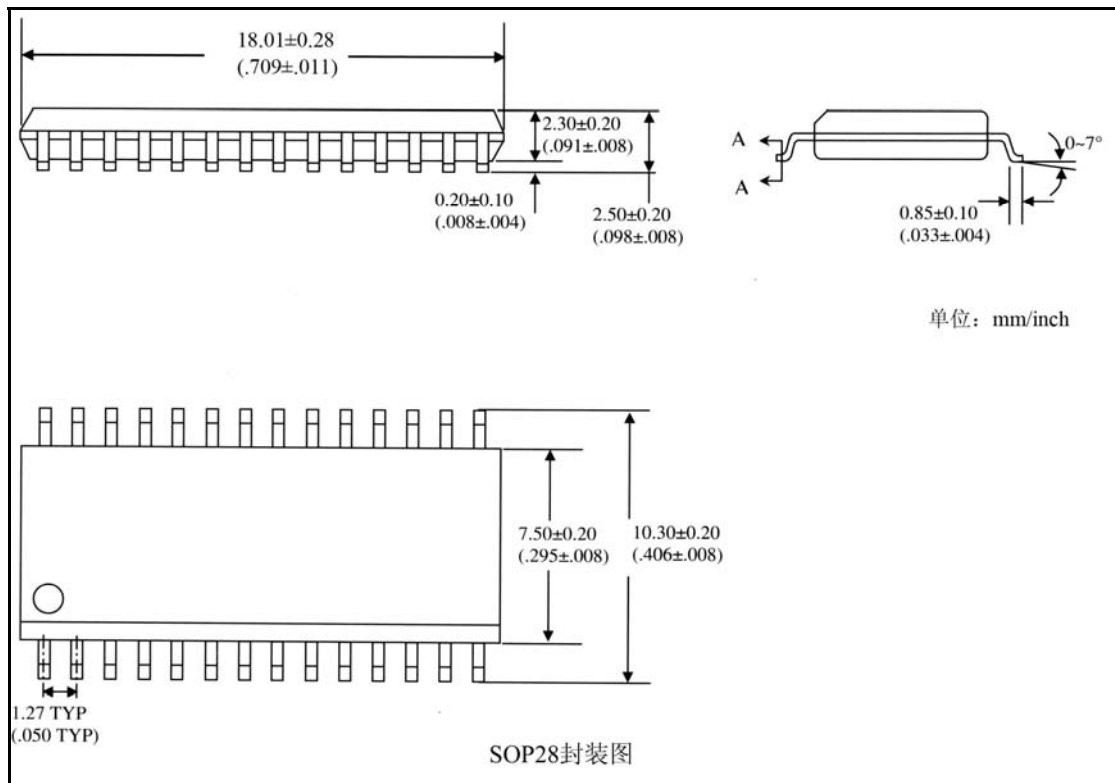
寄存器名称	芯片配置字 (CONFIG)	
地址	8000 _H	
01	bit1-0	固定为 01
WDTEN	bit2	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit3	上电定时器使能位 0: 使能 1: 禁止
1111	bit7-4	固定为 1111
BORVS<1:0>	bit9-8	低电压选择位 00: 2.3V 01: 2.8V 10: 3.2V 11: 3.9V

第 7 章 芯片封装图

SKDIP28



SOP28



附录1 指令集

附录1.1 概述

本芯片提供了 48 条精简指令。

汇编指令只是为了方便程序设计者使用，因此指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 1 μ s。按照指令执行的机器周期数可将指令分为双周期指令和单周期指令。其中 CALL、MUL、GOTO、JUMP、LCALL、RET、RETIA、RETIE 为双周期指令；当满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 指令操作说明

寄存器操作指令

序号	指令	状态位	操作
1	MOV R, F	Z	(R) \rightarrow (目标)
2	MOVA R	-	(A) \rightarrow (R)
3	MOVAB F	-	(B) \rightarrow (A)或(A) \rightarrow (B)
4	MOVI I	-	I \rightarrow (A)

程序控制指令

序号	指令	状态位	操作
5	CALL I	-	PC+1 \rightarrow TOS, I \rightarrow PC<10:0>
6	CWDT	#TO, #PD	00 _H \rightarrow WDT, 0 \rightarrow WDT Prescaler, 1 \rightarrow #TO, 1 \rightarrow #PD
7	GOTO I	-	I \rightarrow PC<10:0>
8	IDLE	#TO, #PD	00 _H \rightarrow WDT, 0 \rightarrow WDT Prescaler, 1 \rightarrow #TO, 0 \rightarrow #PD
9	JBC R, M	-	Skip if R<M> = 0
10	JBS R, M	-	Skip if R<M> = 1
11	JDEC R, F	-	(R)-1 \rightarrow (目标), Skip if (目标) = 0
12	JINC R, F	-	(R)+1 \rightarrow (目标), Skip if (目标) = 0
13	JUMP I	-	I \rightarrow PC<10:0>
14	LCALL I	-	PC+1 \rightarrow TOS, I \rightarrow PC<10:0>
15	NOP	-	No operation
16	RET	-	TOS \rightarrow PC
17	RETIA I	-	I \rightarrow (A), TOS \rightarrow PC
18	RETIE	-	TOS \rightarrow PC, 1 \rightarrow GIE

算术/逻辑运算指令

序号	指令	状态位	操作
19	ADD R, F	C, DC, Z	(R)+(A)→(目标)
20	ADDC R, F	C, DC, Z	(R)+(A)+C→(目标)
21	ADDCI I	C, DC, Z	I+(A)+C→(A)
22	ADDI I	C, DC, Z	I+(A)→(A)
23	AND R, F	Z	(A). AND. (R)→(目标)
24	ANDI I	Z	I. AND. (A)→(A)
25	BCC R, M	-	0→R<M>
26	BSS R, M	-	1→R<M>
27	CLR R	Z	(R) = 0
28	CLRA	Z	(A) = 0
29	COM R, F	Z	(~R)→(目标)
30	DAR R, F	C, DC, Z	(R) (BCD)
31	DAW	C, DC, Z	(A) (BCD)
32	DEC R, F	Z	(R)-1→(目标)
33	INC R, F	Z	(R)+1→(目标)
34	IOR R, F	Z	(A). OR. (R)→(目标)
35	IORI I	Z	I. OR. (A)→(A)
36	MUL R, F	-	(R). MUL. (A)→{B, 目标}
37	MULI I	-	I. MUL. (A)→{B, A}
38	RL R, F	C	
39	RR R, F	C	
40	SUB R, F	C, DC, Z	(R)-(A)→(目标)
41	SUBC R, F	C, DC, Z	(R)-(A)- (#C)→(目标)
42	SUBCI I	C, DC, Z	I-(A)- (#C)→(A)
43	SUBI I	C, DC, Z	I-(A)→(A)
44	SWAP R, F	-	R<3:0>→(目标)<7:4>, R<7:4>→(目标)<3:0>
45	XOR R, F	Z	(A). XOR. (R)→(目标)
46	XORI I	Z	I. XOR. (A)→(A)

注 1: I—立即数, F—标志位, A—寄存器 A, B—寄存器 B, R—寄存器 R, M—寄存器 R 的第 M 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 F = 0, 则目标寄存器为寄存器 A; 如果 F = 1, 则目标寄存器为寄存器 R。

注 5: 48 条指令中另有两条 NOP 指令未在上表中描述。”。

附录2 电气特性

附录2.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 3.5 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	3.5	-	5.5	V	全 VDD 范围
芯片静态电流	I _{DD}	-	-	0.6	mA	上电复位, VDD = 5V, 所有的 I/O 输入低电平, #MRST = 0, OSC1 低电平, OSC2 不接负载。8MHz 时钟输入, WDT 不使能, BOR 使能
休眠模式下芯片电流	I _{PD}	-	-	85	uA	VDD = 5V, 进入休眠模式, 8MHz 时钟输入, WDT 不使能, BOR 使能。
正常运行模式芯片电流	I _{OP}	-	-	5.1	mA	VDD = 5V, 正常运行模式, 8MHz 时钟输入, 输出 I/O 端口不接负载, WDT 不使能, BOR 使能。
VDD 管脚的最大输入电流	I _{MDD}	-	80	100	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I _{MSS}	-	120	-	mA	25°C, VDD = 5V
I/O 端口最大灌电流	I _{MAXOL}	-	-	45	mA	25°C, VDD = 5V
I/O 端口最大拉电流	I _{MAXOH}	-	-	40	mA	25°C, VDD = 5V

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输入高电平 (有 施密特输入特 性)	V_{IH}	2.0	-	VDD	V	3.5V ≤ VDD ≤ 5.5V
主复位信号 #MRST 输入高 电平 (有施密特 输入特性)		0.8VDD	-	VDD	V	
I/O 端口 输入低电平	V_{IL}	VSS	-	0.8	V	
主复位信号 #MRST 输入低 电平		VSS	-	0.2VDD	V	
I/O 端口 输入漏电流	I_{IL}	-	-	+1	μA	3.5V ≤ VDD ≤ 5.5V (端口处于高阻状 态)
主复位信号 #MRST 输入漏 电流		-	-	5	μA	VSS ≤ V _{PIN} ≤ VDD
I/O 端口 弱上拉电流	I_{WPU}	30	100	200	μA	3.5V ≤ VDD ≤ 5.5V V _{PIN} = VSS

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	VDD-0.7	-	-	V	3.5V ≤ VDD ≤ 5.5V I _{OH} = -3.0mA
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	3.5V ≤ VDD ≤ 5.5V I _{OL} = -8.5mA

◆ 时钟要求

参数	符号	最小值	典型值	最大值	单位	测试条件
外部时钟频率	Fosc	DC	-	16M	Hz	高速振荡模式
时钟振荡频率		32K	-	16M	Hz	高速振荡模式
机器周期	T _{INST}	250	-	DC	ns	T _{INST} = 4/Fosc
外部时钟高电平和低电平时间	T _{OSL} , T _{OSH}	15	-	-	ns	高速振荡模式
外部时钟上升和下降时间	T _{OSR} , T _{OSF}	-	-	15	ns	高速振荡模式

◆ ADC 交流特性表

参数名	最小值	典型值	最大值	单位
分辨率	-	-	8	bit
差分线性度 (DNL)	-	-	±1	LSB
积分线性度 (INL)	-	-	±1	LSB
失调误差 (Offset Error)	-	-	1	LSB
参考电压范围(VREF)	3.5	-	VDD+0.3	V
模拟电压输入范围(Vin)	0	-	VREF	V
输入电容	-	10	-	pF
模拟输入推荐输入电阻	-	-	10	KΩ
转换时钟周期 (Tad)	1.5	-	-	μs

◆ AD 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc/2	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 2us
Fosc/8	不推荐使用 1*	不推荐使用 1*	Tad = 2us	Tad = 8us
Fosc/32	Tad = 2us	Tad = 4us	Tad = 8us	不推荐使用 2*
Frc	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us

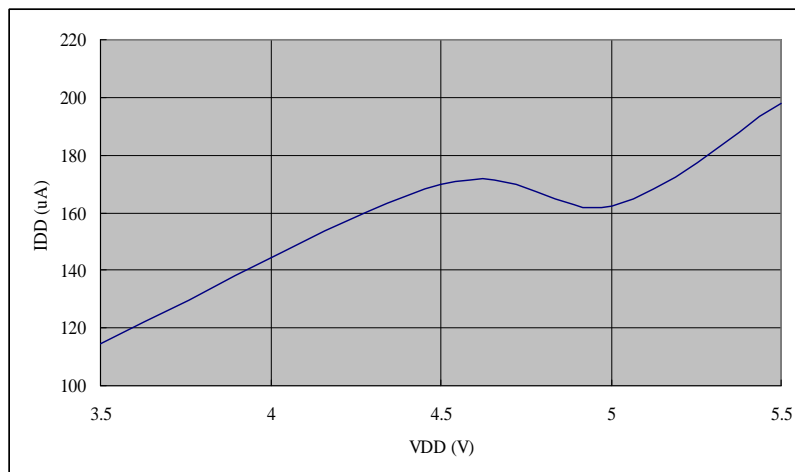
注 1*: Tad 值不满足设计要求不推荐使用;

注 2*: 转换时间太慢, 推荐选择其它分频设置。

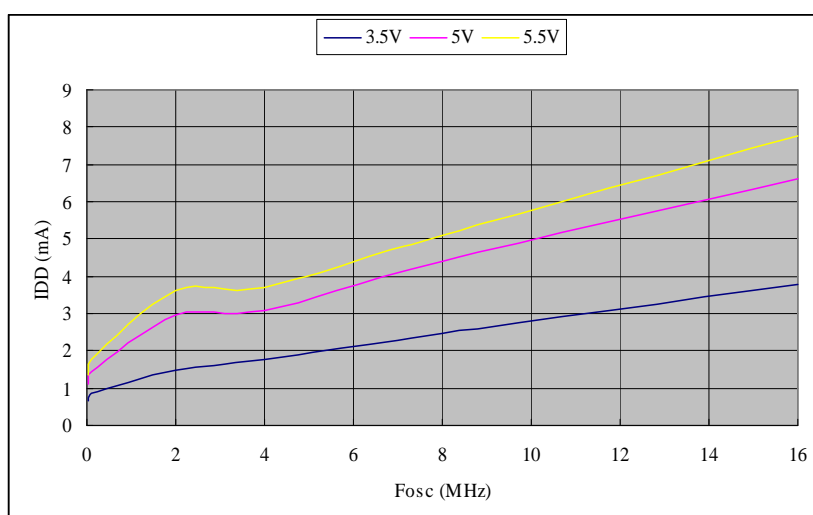
附录2.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

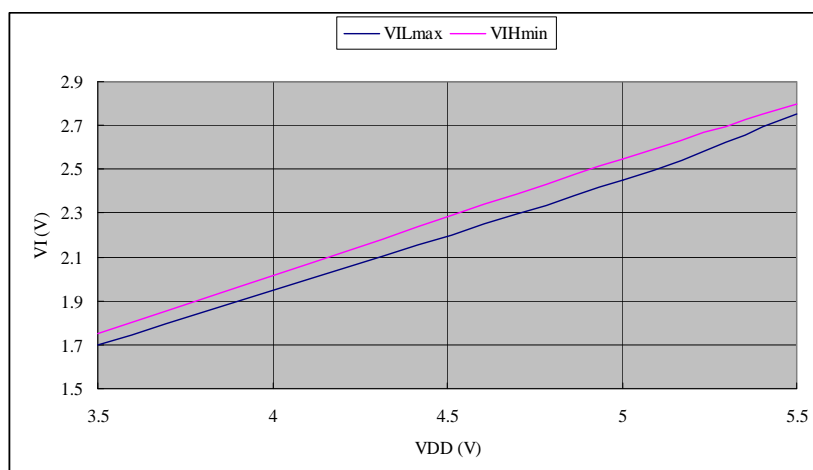
◆ 芯片静态电流随芯片电压变化特性图（室温 25℃）



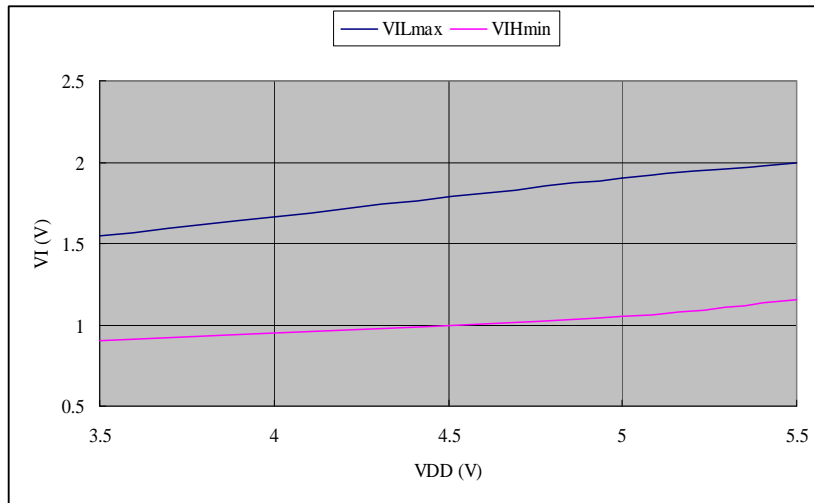
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25℃）



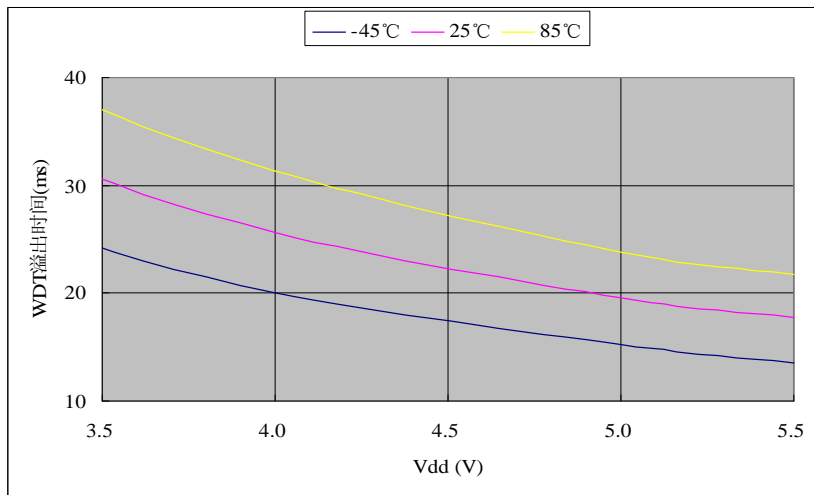
◆ 外部复位信号输入特性图（室温 25℃）



◆ I/O 端口信号输入特性图（室温 25°C）

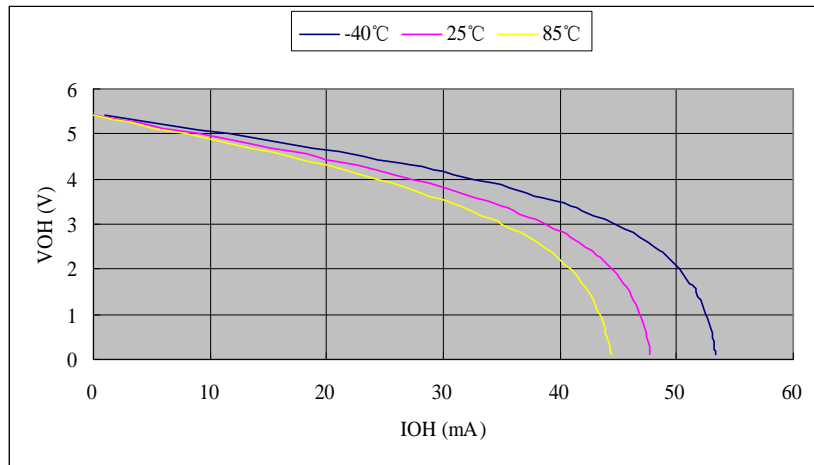


◆ WDT 溢出时间随电压温度变化曲线图

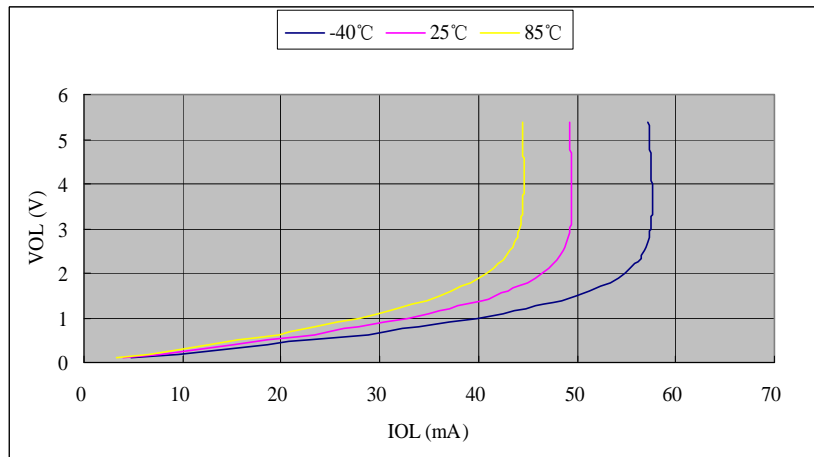


◆ I/O 端口信号输出特性图

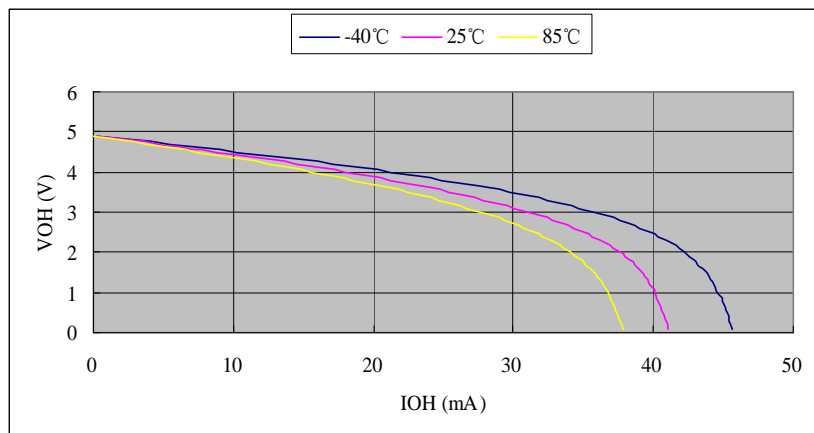
A: V_{OH} vs. I_{OH} @VDD = 5.5V



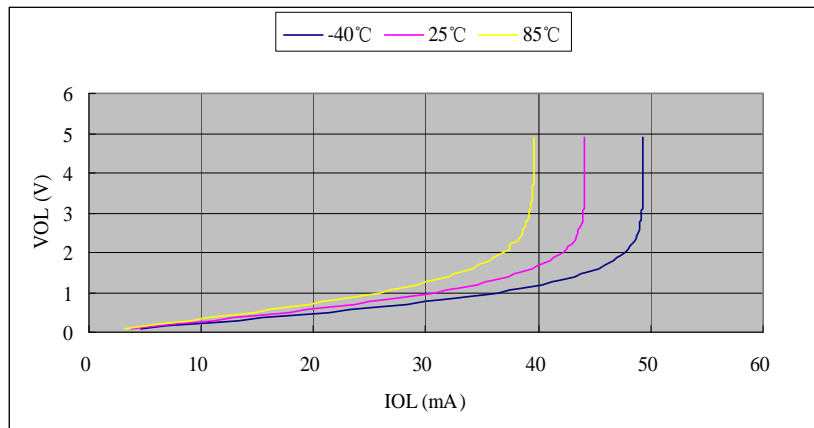
B: V_{OL} vs. I_{OL} @VDD = 5.5V



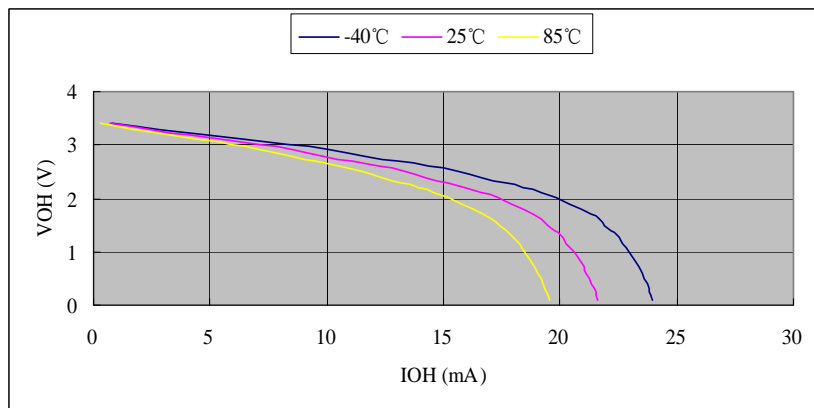
C: V_{OH} vs. I_{OH} @VDD = 5.0V



D: V_{OL} vs. I_{OL} @VDD = 5.0V



E: V_{OH} vs. I_{OH} @VDD = 3.5V



F: V_{OL} vs. I_{OL} @VDD = 3.5V

